

# 上海交通大学

SHANGHAI JIAO TONG UNIVERSITY

## 学士学位论文

BACHELOR'S THESIS



论文题目：基于 FPGA 及高速 ADC 的  
光纤瞬断测试仪的设计

学生姓名：蒋万里

学生学号：5120309081

专    业：信息工程

指导教师：唐旻

学院(系)：电子信息与电气工程学院

## 基于 FPGA 及高速 ADC 的光纤瞬断测试仪的设计

### 摘要

关于光纤瞬断的检测，在国家军用标准中有着详细的指标规定和测试要求。本设计实现的光纤瞬断检测仪满足了国家军用标准的各项指标要求，并且在个别指标上实现了重大突破，将目前国内外市场上已有光纤瞬断检测仪中的瞬断时长指标的从微秒量级提升至纳秒量级，并可实现超宽功率输入范围。在光纤瞬断检测仪中设计了系统底噪低、响应速度快的模拟前端，将光功率信号转换为电信号，保证了快速的动态响应特性和瞬断特征提取能力。接下来，利用采样率为 200MSPS 的高速模数转换器（ADC）进行数据采样，保证了系统能够检测纳秒级别的瞬断。为了降低系统随机噪声的影响，提出采样值平均技术，将采样平均值作为判断是否发生瞬断的特征量，并提出用于自适应基准值更新的新型算法，可快速获取光纤瞬断信息。本设计中，还结合了冗余设计思想，通过获得充分的光纤瞬断信息，便于进行后期产品的升级，例如实现光纤瞬断的预测功能。这些信息通过微处理器（MCU）模块进行转换和编码之后上传到主板，实现完整的光纤瞬断检测仪的功能。通过最终实验测试，本设计不但完成了产品的所有预定设计要求，而且实现了纳秒量级的瞬断时长指标以及超宽的功率输入范围（大于 50dB）。

**关键词：**光纤瞬断检测仪，低噪声模拟前端，高速 ADC，自适应基准值更新，FPGA 信号处理

# DESIGN OF THE OPTICAL FIBER TRANSIENT FRACTURE DETECTOR BASED ON FPGA AND HIGH-SPEED ADC

## ABSTRACT

There are detailed specifications and testing requirements in the national military standards about optical fiber transient fracture. The optical fiber transient fracture detector designed in this work has satisfied all requirements of the national standard and also achieved a major breakthrough in the aspect of fracture time. This design has improved fracture time performance greatly, bringing traditional microsecond level to nanosecond level. In addition, this design has achieved ultra-wide optical power range.

A novel analog front end with low noise and fast response is designed, which converts optical power signals to electric ones. The extraordinary module can ensure the fast dynamic response and has good ability to extract optical fiber fracture information.

Then, the design takes advantage of high-speed ADC, 200MSPS sampling rate, to ensure that the system can detect nanosecond level transient fracture. To further decrease the random noise, we promote an averaging technology for sampling values, which are treated as the key data to judge whether optical fiber transient is happened. We also developed a new adaptive updating algorithm to get fracture information quickly. The design uses redundant scheme to obtain complete fracture information, which is the key factor to upgrade the products in the future. For example, we may predict optical fiber transient fracture using the information.

The information is extracted and repackaged by the MCU module and then uploaded to motherboard, completing all transient fracture detection function. By measurement, it is demonstrated that this design not only satisfies all predefined goals, but also realizes nanosecond level fracture time judgement function and achieves ultra-wide optical power range (larger than 50dB).

**Key words:** Optical fiber transient fracture detector, low-noise analog front end, high-speed ADC, adaptive updating algorithm, FPGA signal processing

## 目 录

第一章 绪论.....	1
1.1 光纤与光纤瞬断简介.....	1
1.2 光纤瞬断的检测依据.....	2
1.3 光纤瞬断检测仪的发展概况.....	3
第二章 光纤瞬断检测仪简介.....	4
2.1 光纤瞬断检测仪原理简介.....	4
2.2 光纤瞬断检测仪指标分解.....	5
2.3 光纤瞬断检测仪方案分析.....	6
第三章 前端模拟电路分析、设计与验证.....	7
3.1 PIN 光电二极管分析与设计.....	7
3.2 跨阻放大电路分析、设计与验证.....	9
3.3 二级放大电路和增益调节电路分析.....	12
3.4 差分放大电路分析.....	17
3.5 整体原理图及测试结果.....	17
第四章 高速 ADC 分析与设计.....	20
第五章 FPGA 信号处理链路设计、分析与验证.....	22
5.1 LVDS 接收模块分析与设计.....	22
5.2 平均去噪模块.....	26
5.3 设定基准值模块和计算判决上下门限模块.....	27
5.4 瞬断判决模块.....	29
5.5 时间门限处理模块.....	32
5.6 异步输出模块.....	33
5.7 实际测试结果.....	33
第六章 MCU 及电源分配网络分析与设计.....	36
6.1 MCU 模块分析与设计.....	36
6.2 电源分配网络分析与设计.....	36
第七章 光纤瞬断检测仪测试与分析.....	38
第八章 总结与展望.....	42
参考文献.....	43
附录.....	45
谢辞.....	50
在学期间科研成果、获奖及专利情况.....	51

## 第一章 绪论

### 1.1 光纤与光纤瞬断简介

对于光纤通信系统和光纤传感系统来说, 光纤最重要的作用是将光信号低损耗、低失真地从发送端传递到接收端。光纤通信系统和光纤传感系统的信号载波为光波, 比较常见的波段为 800~1600nm, 通过半导体二极管激发产生, 载波的功率一般为 mW 级。如果光纤存在某些缺陷, 导致插入损耗过大, 则接收器会出现无法准确接收的现象。从这个方面来看, 光纤在某种程度上来看相当于信号传播的信道<sup>[1]</sup>。目前, 通信和传感使用的光纤性能较好, 插入损耗低, 所以光纤能够保证将光信号准确无误地从信源传播到信宿, 设计者则无需过多考虑光纤的瞬态特征和性能。但是, 对于一些高精度和高速系统而言, 情况则显得有所不同。

由于光纤在光纤通信和光纤传感中的基础地位, 光纤的特性对于高精度或高速的光纤通信和光纤传感系统有着很大的影响。光纤通信系统和光纤传感系统中有关光信号的传输简图如图 1 所示<sup>[2]</sup>。对于发送端 Tx 发出的恒定光信号, 尽管光纤信道会存在一定程度的衰减, 但是接收端 Rx 会接收到一个稳定的光信号。如果由于光纤弯折、接插件松动、光纤断裂, 造成光纤信道出现一定程度的损伤, 导致光纤信道的插入损耗增加, 那么接收端 Rx 接收到的光信号会出现一定程度的变化, 最直观的体现就是接收端光信号的功率会降低。

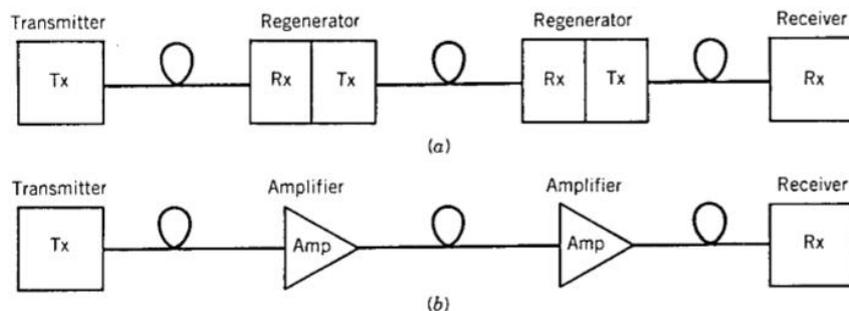


图 1 光信号传输简图

如果这种由于光纤信道发生变化而导致接收端光信号发生变化的现象为瞬态的, 那么这种现象可以归结为光纤瞬间断裂, 简称光纤瞬断 (Optical Fiber Transient Fracture), 又称为光纤的不连续性 (Optical Fiber Discontinuity)。光纤瞬断产生的原因有很多, 但是绝大多数情况下, 光纤瞬断造成的结果都是使得接收端 Rx 的光信号的功率降低。这是由于正常连接情况下的信道都尽可能选择最好性能最牢固的连接方式, 光纤的插入损耗都较小; 只有发生瞬断时, 光纤信道出现传输障碍, 才会使得连接方式劣化, 造成传输功率的下降。

常见的光纤瞬断情况如图 2 所示, 其横轴为接收端 Rx 测量的时间序列, 纵轴为接收端 Rx 测量得到的光功率值, 这里为了表示简单, 不考虑噪声的影响。从光功率值上看, 正常情况下光纤传送的光功率值为  $P$ ; 当发生瞬断时, 光纤传送的光功率值下降至  $(P - \Delta P)$ 。从时间上看, 光纤瞬断的发生时间为  $\Delta t$ 。应当说明的是, 实际情况下在接收端 Rx 测量接收光功率值时会存在大量的随机噪声; 当光纤发生瞬断, 测量得到的光功率值会出现一定程度的上下波动。因此, 与实际瞬断更接近的情况如图 3 所示。

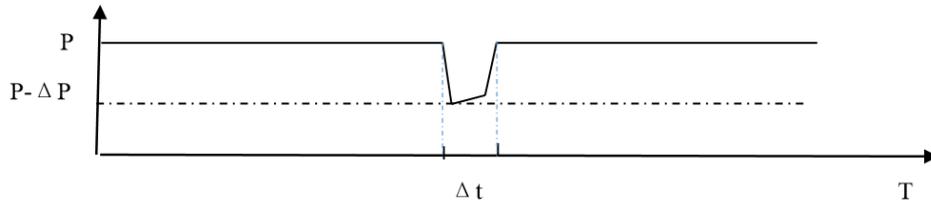


图 2 光纤瞬断示意图

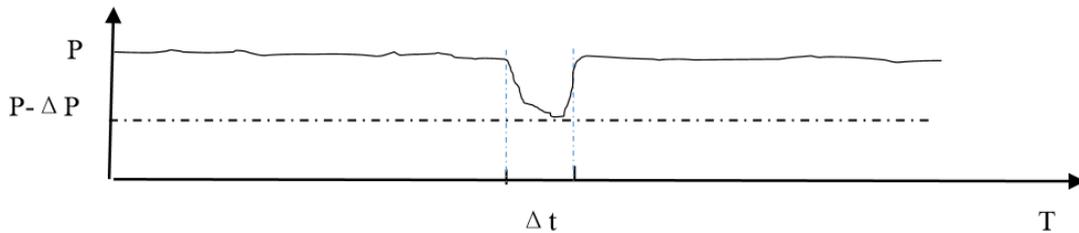


图 3 光纤瞬断实际情况示意图

光纤瞬断不同于光纤信道的断裂。后者由于其不可恢复性，一旦发生就会严重影响系统的性能，给整个光纤通信系统或光纤传感系统带来不可逆的影响。但是，前者则不同，光纤瞬断具有可恢复性，并且在振动环境或者温湿度恶劣的条件下，光纤瞬断发生的可能性也较大。这些恶劣环境尤其容易出现在某些工业环境中，所以我们需要仔细评估光纤瞬断对于整个系统性能带来的影响。

高速光通信系统或者高精度的光传感系统对于光传输系统的性能要求较高，对于光纤瞬断特别敏感。当存在光纤瞬断时，高速系统会存在部分传输信号的丢失，导致系统信息传输错误或者出现较多的重传，提高了系统的误码率；高精度系统会引入一些冲击噪声，这些噪声对于传感器来说影响较大，轻则会使得系统的信噪比下降，降低了系统的噪声容限，重则会使高精度传感系统工作失效。而一些低速低精度的系统来说，光纤瞬断造成的传输信息丢失或者噪声变大的影响较小，一方面是由于信息丢失而需要重传的时间代价完全可以接受，另外一方面是由于光纤瞬断引入的噪声相对于本来的噪声来说较小，信噪比降低可以忽略不计。所以，光纤瞬断对于光通信或者光传感系统来说有着负面的影响，但是考虑到实际系统的特性，不同的系统有着不同的光纤瞬断的指标要求。这也是光纤瞬断检测意义的所在，即得到较为全面的光纤瞬断信息，以便系统设计者能够很好地评估光纤瞬断在整个系统中产生影响的大小。

## 1.2 光纤瞬断的检测依据

中华人民共和国国家军用标准 GJB915A-97《纤维光学试验方法》中，方法 305 规定了“纤维光学元器件光不连续性测量”的国家标准，这就是光纤瞬断检测的测试依据依据<sup>[3]</sup>。

光纤瞬断的检测目标是为了检测当纤维光学元器件或者它们的组合受到外界振动或者机械冲击等外部作用力时，其瞬态输出的起伏或光透射比的起伏情况。光纤瞬断的试验装置如图 4 所示。该装置包括了发送光信号的光源、光纤测试校准器、调整输出光功率的光衰减器、待测试光纤和光纤瞬断检测仪，光纤瞬断检测仪中包含了光接受器、阈值电路、时间记录装置和增益偏置电路。

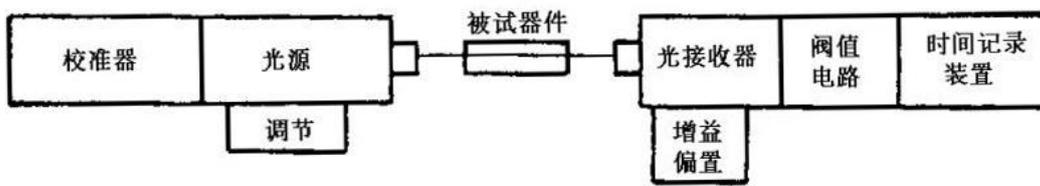


图 4 光纤瞬断试验装置

对于光纤瞬断，需要获取的比较重要的参数有光纤瞬断的时间长度和光纤瞬断造成的光功率衰减值，光纤瞬断的时间长度一般为  $\mu\text{s}$  量级，而光纤瞬断的功率值衰减典型值为  $-4\sim-0.5\text{dB}$ 。国家军用标准中规定了  $1\sim 10\mu\text{s}$  和  $\pm 3\sim\pm 0.5\text{dB}$  这些必测的项目。

进行光纤瞬断测试的过程如下：

- 1) 首先需要连接好测试系统，必须连接上的有光源、光衰减器、待测试光纤以及光纤瞬断检测仪，保证各个装置之间连接的稳定可靠性；
- 2) 连接好系统之后，打开光源，保证光接收器的光信号功率处于合适范围，该范围由光纤瞬断检测仪后期校准得到。如果未处于合适范围，则调整光衰减器，也就是图 4 中的“调节”部分，对于光源输出信号进行控制，保证光接收器的信号处于合适范围；
- 3) 调整增益偏置电路，保证光纤瞬断检测仪的采样输入在平稳时期处于较高值，这样能够更好地检测光纤瞬断带来的影响；
- 4) 进行光纤瞬断测试，获取光纤瞬断信息，主要是光纤瞬断的时间程度和光纤瞬断造成的功率衰减。

### 1.3 光纤瞬断检测仪的发展概况

目前，对于光纤的瞬断性质国内外研究较多，许多研究人员通过定性和定量的方法得到大量有关于光纤瞬断断裂所造成影响和性质，并且针对光纤瞬断这一现象提出了较多的避免方法<sup>[4][5]</sup>。但是，对于光纤瞬断检测技术，国内外相关研究并不多。虽然国外市场业已出现比较成熟的光纤瞬断检测仪产品，比如 OptoTest 公司的 OP1100<sup>[6]</sup>，但是其检测指标并不是非常理想和精确。对于国内，虽然早在 1997 年就提出了光纤瞬断检测的国家标准，但是对于光纤瞬断检测仪的研究很少，能够将光纤瞬断检测仪做成产品更是寥寥无几。虽然近些年对于电信号瞬断得到较广泛的研究，但是对光学信号的瞬断检测研究较少，仅有部分高校和研究所涉及到部分光电器件的研究，对光纤瞬断检测仪鲜有报道。由于受限于光学和电学器件制造水平和造价，目前能够找到的光纤瞬断检测仪仅有上海嘉慧光电子技术有限公司研发出实用的瞬断检测系统 JW3324<sup>[7]</sup>。

对于本设计，其为校企联合研发设计的项目，产品中部分设计思想是沿用 JW3324 的设计思想，但是需要进行大量的器件升级操作，关键部分需要进行重新设计，以追求大幅度提高光纤瞬断检测仪的指标。

## 第二章 光纤瞬断检测仪简介

### 2.1 光纤瞬断检测仪原理简介

光纤瞬断检测仪需要实现国家标准中预定义的功能接口，需要包含光接收电路、增益偏置电路、阈值电路和时间记录电路。

现代光纤瞬断检测仪能够支持用户自定义检测掩模，检测掩模如图 5 所示。用户可以定义检测的幅度  $A$  和不连续持续时间  $T$ ，此二者构成了矩形的检测掩模窗口。当光纤瞬断造成的接收端信号的持续时间  $\Delta t$  或者幅度变化  $\Delta A$  小于规定的掩模，即

$$\Delta t < T \text{ 或 } \Delta A < A \quad (\text{公式 1})$$

则说明该次光纤瞬断造成的不连续性在用户能够接受的范围内，如图 5 中虚线掩模窗口内的“无效瞬断”的情况所示。此次瞬断用户不予考虑，光纤瞬断检测仪也会忽略此次瞬断时间不予报告。当光纤瞬断造成的接收端信号的持续时间  $\Delta t$  并且幅度变化  $\Delta A$  大于规定的掩模，即

$$\Delta t > T \text{ 且 } \Delta A > A \quad (\text{公式 2})$$

则说明此次光纤瞬断造成的不连续性在用户可接受的瞬断程度之外，此时必须考虑此次光纤瞬断造成的影响，如图 5 虚线掩模窗口外的“有效瞬断”的情况所示。光纤瞬断检测仪的目标就是检测出此类瞬断事件，并且报告给用户。

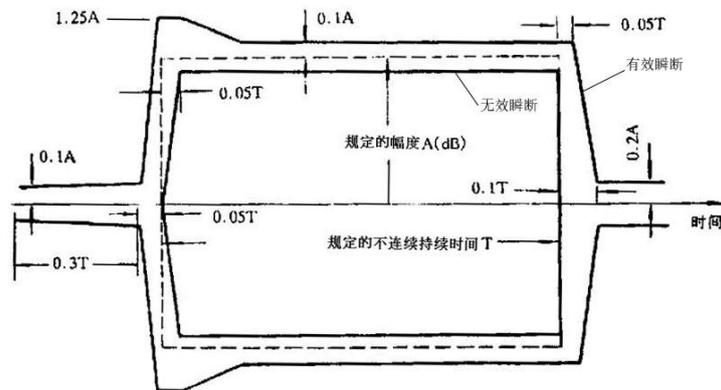


图 5 光纤瞬断检测掩模示意图

光纤瞬断检测仪还需要支持用户自定义光纤瞬断检测时间窗口，这表示光纤瞬断检测仪需要在用户定义的窗口长度内统计瞬断发生的信息，包括光纤瞬断发生的次数、光纤瞬断造成的光功率跌落值等统计信息。例如，用户设定的检测时间窗口为 1s，则光纤瞬断检测仪反馈的信息就是每一秒返回一次，在前一秒内符合光纤瞬断检测掩模的所有瞬断情况的统计信息，包括次数、正常功率值、瞬断的平均时间长度和最大跌落的幅度值。

光纤瞬断检测仪的技术指标包括监测功率范围  $P$ ，监测瞬断损耗  $\Delta P$  和检测瞬断时长  $\Delta t$ ，如图 2 所示。监测功率范围指的光纤瞬断检测仪需要保证接收端接收的信号功率范围，只有接收信号功率满足该范围，光纤瞬断检测仪才能正常工作，得到合理的瞬断数据。当接收功率信号低于该功率范围，则光纤瞬断检测仪内部转换得到的电信号也较弱，容易受到噪声干扰，使测量结果不准确；当接收功率信号高于该功率范围，则光纤瞬断检测仪内部转换得到的电信号过大，使得后端处理趋于饱和，无法检测到光纤瞬断造成的接收信号变化，使

仪器无法正常工作。监测瞬断损耗指的是当光纤瞬断造成的接收端功率信号损耗增加量在指定范围内,可以得到正确的瞬断信息,当瞬断损耗超出范围,则得到的瞬断信息不正确或者只有部分正确。监测瞬断时长与监测瞬断功率类似,指的是能够监测到的瞬断发生持续的时间长度,当在指定范围内,可以很好的处理得到瞬断时长信息,超出此范围则会得到错误信息。

## 2.2 光纤瞬断检测仪指标分解

本设计主要是完成光纤瞬断检测仪里面的核心部分,即完成光信号到电信号的转换,完成电信号调理,完成高速 ADC 信号采样,完成 FPGA 的信号瞬断判断及瞬断时长和瞬断幅度的测量,完成瞬断信息上传到主板。光纤瞬断检测仪中包括光电转换电路,高速 ADC 采样,采样信号处理和部分控制部分。对照国家军用标准,实现了光接收电路、增益偏置电路、阈值电路和时间记录电路,完成了光纤瞬断检测仪的基础部分。

设计的具体指标要求如下:

- 功率监测范围:  $-40\text{dBm}\sim+10\text{dBm}$
- 监测瞬断损耗:  $\pm 0.5\text{dB}\sim\pm 4\text{dB}$
- 监测瞬断时长:  $40\text{ns}\sim 2\text{ms}$

监测功率为接收端的光信号功率,借助于模拟前端,光功率信号转换为电信号,然后通过模拟信号调理电路使之符合高速 ADC 的输入信号要求,一般需要保证高速 ADC 输入信号的电平要求和幅度要求。由于高速 ADC 存在满幅输入电压要求,一般为  $1.8\text{V}$ 、 $2.5\text{V}$  或者  $3.3\text{V}$ ,而输入光信号功率  $P_{\text{in}}$  范围要求为  $-40\text{dBm}\sim+10\text{dBm}$ ,则前端模拟电路需要提供至少  $50\text{dB}$  的可调节范围,这样才能保证在光功率发生变化时,模拟前端做出调整来满足高速 ADC 接近满幅输入,提高测量精度。

瞬断损耗检测存在最小值。由于光电二极管噪声和模拟前端噪声的影响,在稳定光输入的情况下,模拟前端输出包含部分噪声分量,因此输出会包含波动。如果光电二极管噪声和模拟前端噪声较大或者部分噪声呈现周期性冲击状态,则模拟输出端会出现能够比拟光纤瞬断的波动,此时光纤瞬断检测仪会出现误判断,导致仪器测量结果出错。设计要求中瞬断损耗的最小值为  $\pm 0.5\text{dB}$ ,也就是  $\pm 5\%$  左右。这要求模拟前端输出稳定信号的噪声 RMS 值应该低于输出信号 RMS 值的  $5\%$ ,否则会出现误判的情况。瞬断损耗规定最大值是为了符合用户需要,  $-4\text{dB}$  转换为百分比为  $40\%$ ,也就是说光纤瞬断造成的光功率跌落值最大可接受范围为  $40\%$ ,这是用户的基本需求定义,实际设计过程中可以保证更大的损耗。监测瞬断损耗包含了国家军用标准中的  $\pm 0.5\text{dB}\sim\pm 3\text{dB}$  的要求。

瞬断时长检测也存在最小值。由于 ADC 采样存在采样时间间隔,如果瞬断时长低于采样时间间隔,那么采样值中有可能不包含发生的这类瞬断的幅度值,因此无法判断出来发生瞬断。对于  $40\text{ns}$  的瞬断时长,ADC 的采样时间间隔必须小于  $40\text{ns}$ ,工程上倾向于在  $40\text{ns}$  内采样点数达到  $4\sim 5$  个,这样既能保证准确性又能防止性能过剩。因此对于  $40\text{ns}$  的最小瞬断时间长度,ADC 的推荐采样速率为  $100\text{MSPS}$ 。瞬断时长的计算一般采用对于符合瞬断条件的采样值进行计数,然后将计数值乘以采样间隔时间得到瞬断时长。从这点出发,ADC 采样率越高,则能够获得更加准确的瞬断时长。因此,该设计采用的 ADC 高于  $100\text{MSPS}$  采样率,以期获得更精确的测量结果。瞬断时长规定最大值也与实际情况相关,当瞬断时间过长,会出现传输信息大规模丢失,造成系统性能下降较多,此时需要进行系统重新设计。因此,瞬断时长最大值是用户能够接受的最大瞬断时长,高于此瞬断时长的瞬断都是为光纤的故障。实际设计过程需要支持用户自定义瞬断时长,以便获得更好的测量效果。监测瞬断时长包含了国家军用标准中的  $1\mu\text{s}\sim 10\mu\text{s}$  的要求。

### 2.3 光纤瞬断检测仪方案分析

本设计需要满足预定义的指标,同时本设计的指标也能够通过合理的设计优化进行提高。监测功率范围主要与前端模拟电路的可调增益相关,可以通过设计宽增益范围的放大电路补偿光功率的变动,也可以引入内置增益控制的 ADC 器件进行增益补偿。监测瞬断损耗主要与噪声有关,可以通过低噪声器件、合理的电路设计与布局以及一定的带宽限制,来降低噪声的 RMS 值。同时,防止模拟前端出现不稳定,产生冲击噪声,也是扩大监测瞬断损耗的重要途径。监测瞬断时长与采样 ADC 和后端处理有关,通过提高 ADC 采样率、提高模拟前端响应速度,可以保证最小瞬断时长的检测正确性,通过后端信号处理的优化,可以扩大最大瞬断时长检测范围。

设计的整体系统框图如图 6 所示。整个系统包括模拟前端、高速 ADC 采样部分、高速信号 FPGA 处理部分以及 MCU 控制部分,还有各个模块的供电电源部分。本设计采用的高速 ADC 为 TI 公司的 ADS4129,设定的采样率为 200MSPS。为了能与如此高的采样率相配合,并且能够提高前端模拟电路的响应时间,前端模拟电路小信号带宽大致为 50MHz~100MHz,大信号带宽仅限于部分放大器。后端 FPGA 信号处理部分需要保证处理频率能够达到 200MHz。

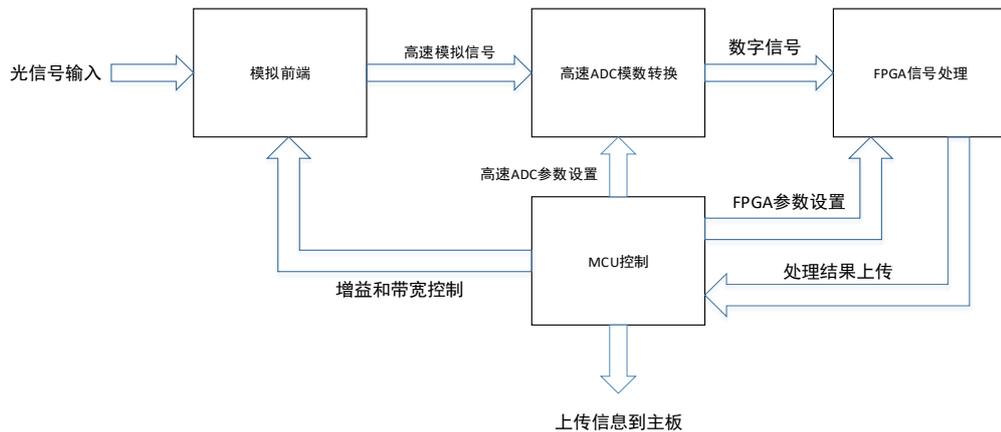


图 6 光纤瞬断检测仪系统框图

### 第三章 前端模拟电路分析、设计与验证

光纤瞬断检测仪的模拟前端需要实现将光信号转换为电信号，并且对电信号进行调理，使之满足高速 ADC 的采样需求，并且在此基础上尽量降低噪声，提高模拟前端的动态响应速度，最终能够获得较为理想的速度、噪声均衡的设计。

本设计的模拟前端设计框图如图 7 所示。本设计为了能够增加测量精度，采用了 200MSPS 采样率的高速 ADC。为了满足 Nyquist 采样定理，模拟前端的带宽最高只能为 100MHz，否则会发生镜像干扰现象，导致高频噪声混叠到低频上，造成测量误差增加。

本设计设定的模拟前端带宽  $f_{3dB}=70\text{MHz}$ ，该带宽是由可变增益放大器 THS7001 这一级所保证的。由于 PIN 光电二极管转换输出电流信号为  $\mu\text{A}$  量级，需要多次放大才能达到 ADS4129 的满幅输入要求，这就要求放大器需要较大的带宽增益积，所以选定的放大器均为带宽增益积较大的放大器，如 OPA847、AD8099 等。

由于 ADS4129 需要满足差分输入，所以需要使用单端转差分放大器 AD8131 将单端信号转换为差分信号输出。

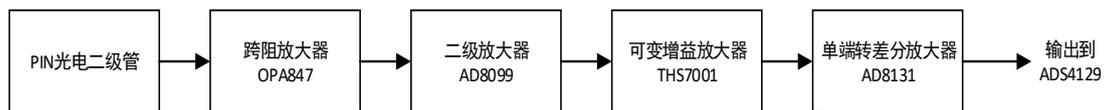


图 7 模拟前端设计框图

#### 3.1 PIN 光电二极管分析与设计

光电二极管在该设计中的作用是将光功率信号转化为电信号。在转化过程中，由于光纤瞬断而引起的光功率信号的变化会实时的反映到转化的电信号上。所以，光纤瞬断检测仪只需要检测电信号的状态，捕捉到电信号的瞬间变化，就能检测到光功率信号的瞬间变化，从而获得光纤瞬断的信息。

本设计中使用的光电二极管为 PIN 光电二极管。PIN 光电二极管在传统的 PN 光电二极管中增加了一个本征层 I，从而扩大了 PN 二极管的耗尽层区域。PIN 光电二极管的结构如图 8 所示，PIN 光电二极管的动态响应曲线如图 9 所示<sup>[8]</sup>。光子在半导体中释放载流子的深度范围与光子波长成比例，而且只有那些在耗尽层内部或者附近释放出的载流子才能转化为二极管电流。所以，增加的本征层带来的耗尽层区域 W 扩大会增加光电二极管的频谱范围，该频谱范围一般情况下可以覆盖常见光通信的频率，使得设计更有通用性。另外，PIN 光电二极管由于 P 区域和 N 区域都属于高掺杂区域，而 I 区域的低掺杂特性降低了载流子符合概率，确保了有更多的载流子完成光电流的产生过程，提高了 PIN 光电二极管的响应特性。

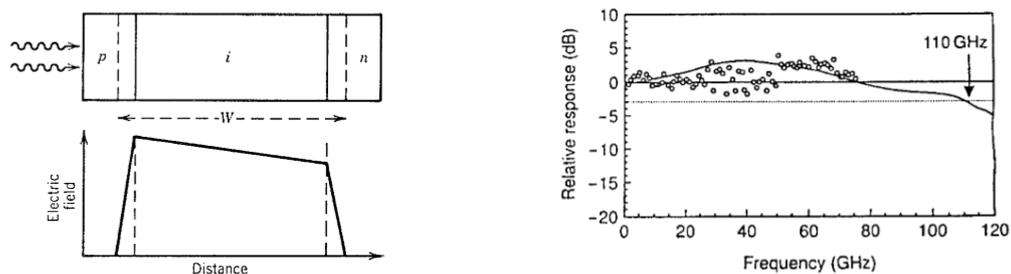


图 8 PIN 光电二极管结构示意图

图 9 PIN 光电二极管的动态特性曲线

为了能够降低电路噪声、降低 PIN 管的结电容，本设计采用了零偏置状态的光电二极管。光电二极管的等效模型如图 10 所示<sup>[9]</sup>。实际的 PIN 光电二极管为左边的 Dp，等效模型为右边的电路模型，其中  $I_p$  为光电二极管的电流信号，二极管 D 为理想二极管，表示正向偏置状态下的电压条件。Rd 表示了光电二极管的暗电阻，Rs 表示半导体材料的串联电阻，Cd 表示光电二极管的寄生电容。

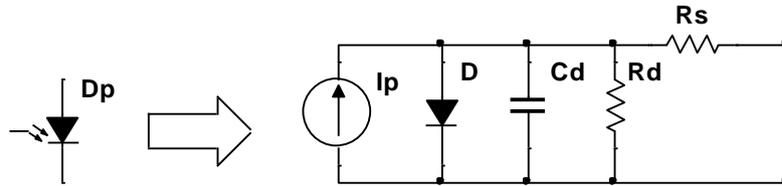


图 10 PIN 光电二极管等效模型

实际应用情况下，光电二极管处于反向偏置或者零偏置状态，理想二极管 D 的影响可以忽略；同时光电二极管的暗电阻 Rd 很大，一般情况下仅有很少量的电流可以通过 Rd，也可以忽略；半导体材料的串联电阻 Rs 很小，可以忽略其影响。所以，光电二极管的电路模型可以化简如图 11 所示。寄生电容 Cd 代表了光电二极管 PN 结的电荷存储效应，它会随着二极管的 PN 结面积和偏置电压变化而变化。对于 PN 结面积的影响，可以参考平板电容计算公式 3，其中 S 为 PN 结正对面积。可以看出，寄生电容 Cd 大小与 PN 结面积正相关。对于偏置电压的影响，存在压控电容公式 4，其中  $C_{D0}$  为零偏置电容，而  $V_R$  为反向偏置电压。因此，可以得出寄生电容 Cd 与偏置电压  $V_R$  负相关。将两个公式组合起来，可以得到关于寄生电容 Cd 与 PN 结面积 S 和偏置电压  $V_R$  的关系。从公式 5 可以得到，PN 结面积 S 的变化比例相对于偏置电压  $V_R$  变化比例影响更大。实际应用中，寄生电容应当尽可能的减小以避免电路的不稳定性，因此可以从偏置电压  $V_R$  和 PN 结面积 S 两方面入手。

$$C_{D0} = \frac{\epsilon S}{4k\pi d} \quad (\text{公式 3})$$

$$C_D = \frac{C_{D0}}{\sqrt{1 + V_R / \phi_B}} \quad (\text{公式 4})$$

$$C_D = \frac{\epsilon S}{4k\pi d \sqrt{1 + V_R / \phi_B}} \quad (\text{公式 5})$$

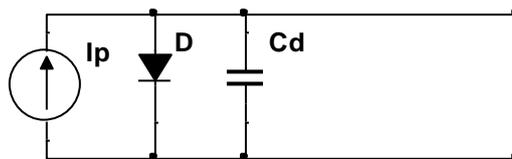


图 11 PIN 光电二极管简化模型

但是由于偏置电压  $V_R$  还影响着光电二极管的噪声，偏置电压  $V_R$  越大，则光电二极管噪声也越大。因此，为了能够充分降低电路噪声，本设计采用了零偏置状态，转而寻找结电容较小的光电二极管。为了能够达到高速采样系统的要求，需要提高光电二极管的响应速度，

PIN 光电二极管和雪崩二极管的动态响应速度可以满足要求。另外一方面，雪崩二极管必须要求有较高的偏置电压，一般为几十伏，这势必会带来较大的噪声。所以，最终选定了 PIN 光电二极管。

在实际设计过程中，为了能够达到降低噪声这一目标，需要选取暗电流较小的传感用 PIN 光电二极管，同时该 PIN 光电二极管还要保证拥有较小的寄生电容。经过比较不同种类的 PIN 光电二极管，最终选定的 PIN 光电二极管为尾纤式 PIN 光电二极管。参数表如表 1 所示<sup>[10]</sup>。光功率检测范围为 1100nm~1650nm，包含了需要检测的 1310nm 和 1550nm 的光频率；暗电流为 0.1nA，信噪比为 52dB，符合低噪声的需求；光响应度为 0.85A/W，饱和光功率值为 10dBm，高于一般光通信中光强度的要求；上升下降时间为 0.1ns，满足设计的上升下降时间需求。最重要的是，该 PIN 光电二极管的寄生电容足够小，为 0.75pF，可以提高后级放大器的设计裕量，降低后级的设计难度。

表 1 尾纤式 PIN 光电二极管参数表

Optical & electrical characteristics						
Parameter	Symbol	Min.	Typ.	Max.	Unit	Test condition
Detection range	$\lambda$	1100	-	1650	nm	-
Dark current	$I_d$	-	0.1	1	nA	$V_R=5V, 25^\circ C$
Quantum efficiency	R	0.85	0.88	-	A/W	$V_R=5V, \lambda=1310\text{ nm}$
Saturation power	P	10	-	-	dBm	$V_R=5V, 25^\circ C$
Rise and Fall time	$T_r/T_f$	-	0.1	-	ns	$R_L=50\Omega$
Reverse Voltage	$V_R$	-	-	15	V	-
Capacitance	$C_t$	-	-	0.75	pF	$V_R=5V$
Return Loss	RL	-	-	-45	dB	-
CSO		62	-	-	dB	45~860MHz,HP8591C
CTB		68	-	-	dB	45~860MHz,HP8591C
C/N		52	-	-	dB	45~860MHz,HP8591C

### 3.2 跨阻放大电路分析、设计与验证

光电二极管转换输出的信号为微弱电流信号，需要通过跨阻运算放大器转换为电压信号。跨阻型运算放大器的典型作用是将电流信号转换为电压信号，其输入电阻足够大，能够很好的适应电流小信号的场合，同时能够应用于高速 PIN 光电二极管的跨阻放大器必须要保证具备较低的电流噪声和电压噪声。设计的最终电路结构如图 12 所示。

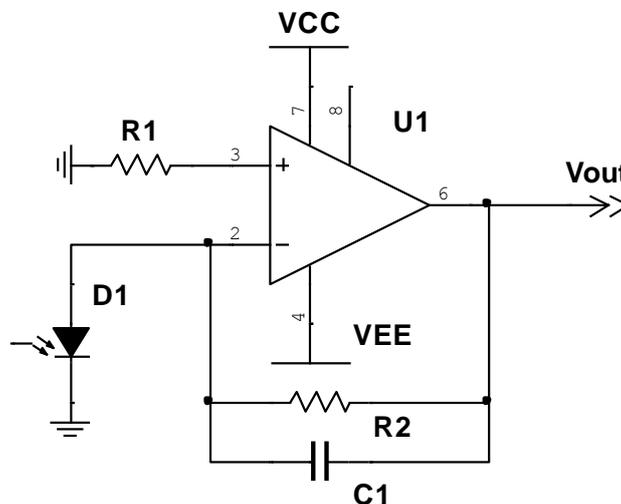


图 12 跨阻放大器电路结构图

典型的跨阻性放大器的等效电路拓扑结构如图 13 所示，该模型考虑了输入管脚的差模电容、共模电容和 PIN 光电二极管的等效结电容，忽略了进行输入端匹配的电阻<sup>[11]</sup>。

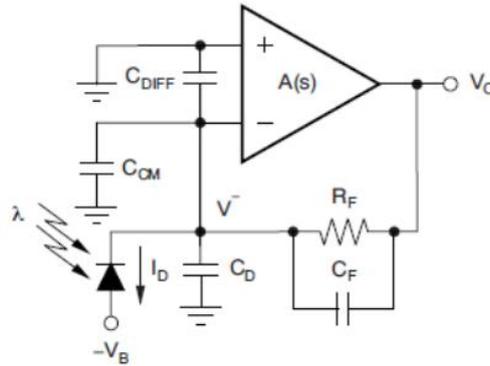


图 13 跨阻型放大器的典型等效电路

图中的各个参数意义为：等效的输入共模电容  $C_{CM}$  和等效输入差模电容  $C_{DIFF}$ ，二极管寄生电容  $C_D$ ，反馈电阻  $R_F$ ，调节电容  $C_{DIFF}$ ，则总的输入电容  $C_S$  为

$$C_S = C_{CM} + C_{DIFF} + C_D \quad (\text{公式 6})$$

当不考虑调节电容  $C_F$  时，该结构实现的-3dB 闭环带宽  $f_{-3dB}$  计算公式如下：

$$f_{-3dB} = \sqrt{\frac{GBP}{2\pi R_F C_S}} \quad (\text{公式 7})$$

其中，GBP 为运放的增益带宽积。

如果没有调节电容  $C_F$ ，系统还会由于前端寄生电容  $C_S$  与反馈电阻  $R_F$  而构成一个噪声增益曲线上的零点，当该零点曲线与运放的开环曲线相交，相交处的速度达到-40dB/dec，如图 14 所示。这意味着在相交点前存在两个零点，相移达到  $180^\circ$ ，这形成了正反馈的条件，会造成运放不稳定<sup>[12]</sup>。本设计中使用的跨阻型运算放大器为 OPA847，它为非单位增益稳定放大器，其增益带宽积为 3.9GHz，开环增益可以达到 90dB。而零点效应造成的噪声增益曲线带宽从  $Z_1$  开始以 20dB/dec 的速度上升，其中

$$Z_1 = \frac{1}{2\pi R_F C_S} \quad (\text{公式 8})$$

一般情况下， $R_F$  为 10K $\Omega$  量级， $C_S$  为 10pF 量级，则可以计算得出  $Z_1 = 1.6\text{MHz}$

OPA847 有着如图 15 的典型开环增益曲线<sup>[13]</sup>，将估算得到的开环增益曲线与噪声增益曲线标示于图 15 上。一般情况下，运算放大器的-20dB/dec 对应着  $90^\circ$  相移，图中两线相交的速率为 40dB/dec，此时开环增益限定为+25dB。由此可以看到整个跨阻放大器处于不稳定状态。

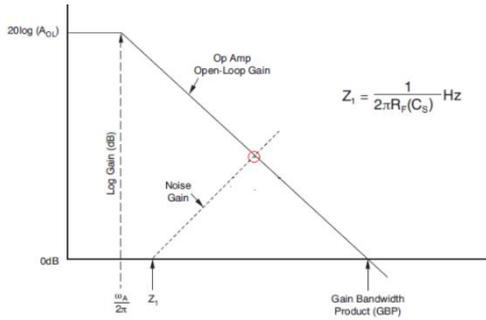


图 14 跨阻放大器不稳定简图

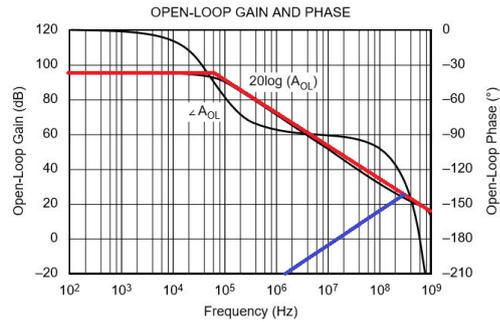


图 15 OPA847 不稳定性分析简图

所以，需要加入调节电容  $C_F$  后，整个跨阻放大器的增益曲线如图 16 所示。其中， $Z_1$  为噪声增益曲线的拐点， $P_1$  为添加了调节电容后产生的极点所造成的拐点。从直观的角度来看，幅度曲线上，系统开环增益  $F_C$  设定的较低，二者逼近的速度仍然保持  $-20\text{dB/dec}$ 。并且在相位曲线上，外部零极点进行抵消，系统仍然维持原始的相位曲线，整个系统不稳定性大大降低。实际计算 OPA847 的频率转折点，取补偿电容为  $1\text{pF}$ ，则

$$P_1 = \frac{1}{2\pi R_f C_F} = 15.9\text{MHz} \quad (\text{公式 9})$$

将计算结果表示于开环增益曲线上，如图 17 所示。可以得到，添加调节电容后计算得到的增益为  $0\text{dB}$ ，同时相移为  $90^\circ$ ，符合稳定性条件。

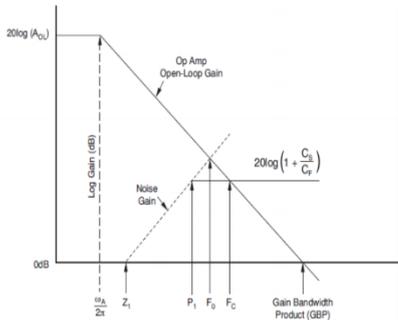


图 16 添加调节电容后的波特图

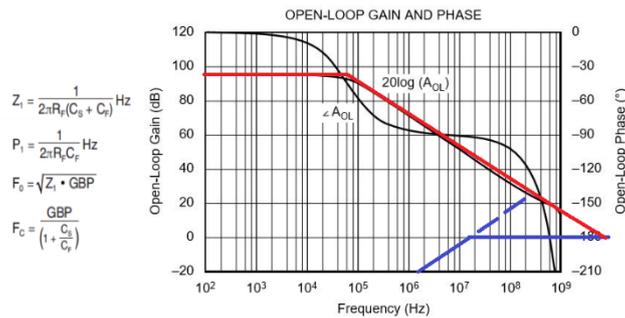


图 17 OPA847 添加调节电容后的波特图

OPA847 具有  $12\text{V/V}$  稳定增益特性，开环增益波特图与单位增益稳定放大器波特图比较如图 18 所示<sup>[14]</sup>。非单位增益稳定运算放大器相对于单位增益稳定放大器的带宽更大，压摆率更大，能够降低小幅度高带宽信号的失真。OPA847 在增益为  $+20$  时输入电流噪声为  $2.5\text{pA}/\sqrt{\text{Hz}}$ ，输入电压噪声为  $0.85\text{pA}/\sqrt{\text{Hz}}$ ，这些特性保证了跨阻放大器的噪声足够小，能够很好地使用于光信号跨阻放大的场合。

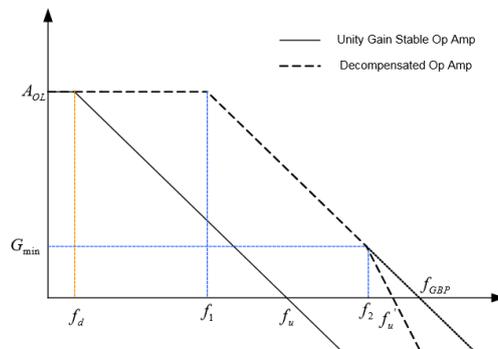


图 18 非单位增益稳定放大器与单位增益稳定放大器比较

除了定性的分析和定量估算之外，在设计之前，可以利用 Pspice 模型，通过 EDA 工具进行仿真，确定较佳的外部电阻和补偿电容的值，以得到定量的结果。本设计利用 TI-TINA 软件进行仿真，前端的光电二极管采用其等效模型进行仿真。光功率一般情况下为-20dBm 量级，考虑到所使用的 PIN 管的响应度为 0.8A/W，计算可以得到输出的电流为

$$I_{PIN} = 0.01mW \times 0.85A/W = 8.5\mu A \quad (\text{公式 } 10)$$

所以设定电流源的峰值电流为 8.5 $\mu$ A，时间长度设为 10ns，以便充分评估瞬断发生时跨阻放大器的特性。

仿真原理图如图 19 所示。跨接电阻设定为 10k，跨接电容 C1 经过参数扫描仿真，结果如图 20 和图 21 所示。设定跨接电容 C1 为 800f，此时可以保证良好的时域响应，同时可以降低跨阻放大电路出现自激振荡的可能性。

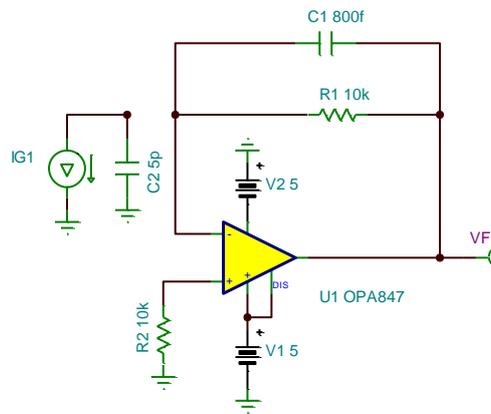


图 19 TI-TINA 仿真电路

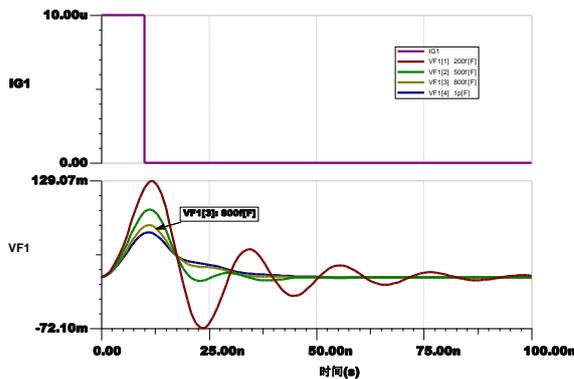


图 20 暂态仿真结果

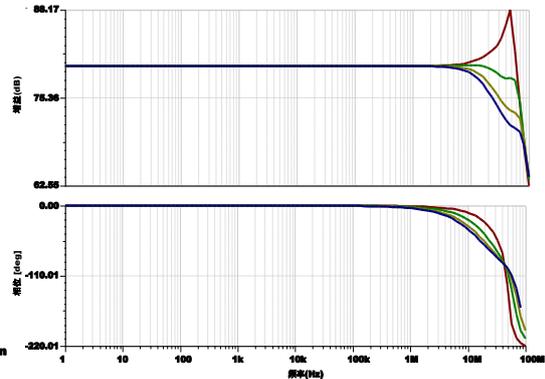


图 21 交流分析结果

### 3.3 二级放大电路和增益调节电路分析

模拟前端的二级放大电路和增益调节电路主要作用是为了控制放大电路的合理增益，满足监测功率范围的要求。

对于运算放大器，根据内部结构可以分为两大类放大器，电压反馈运放(VFA)和电流反馈运放(CFA)，此二者有着各自特点，CFA 具有高速信号处理的优势，结构上带宽较宽；VFA 的带宽稍低，但是其精度更高，适合处理精度要求高的场合。

CFA 的理想结构模型如 22 所示。CFA 是一个电流控制增益放大结构，输入端存在输入缓冲器，这使得 CFA 同相输入端的输入阻抗为缓冲器的输入阻抗，而 CFA 反相输入端的输入阻抗为缓冲器的输出阻抗，此二者不可能相等，所以 CFA 的输入阻抗不匹配，CFA 输入的偏置电压会不一致。其次，输入电压转换得到的输入电流会在  $R_B$  上形成压降，这个压降在放大器结构中无法得到补偿，从而造成了误差。因此 CFA 不适用于高精度的场合，本设计不能使用 CFA 作为二级放大器。

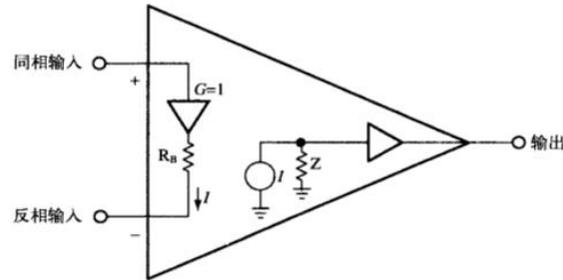


图 22 CFA 理想结构模型<sup>[15]</sup>

VFA 的理想结构如图 23 所示。VFA 为典型的长尾差分结构，输入阻抗匹配，并且能够通过工艺方法进行误差减小，从而提高放大精度。VFA 较为严格遵循增益带宽积定律，放大带宽没有 CFA 高。但是本设计中选用的运放的增益带宽积均为 GHz 以上，即使放大倍数为 +10V/V，也能够很好的满足带宽要求。

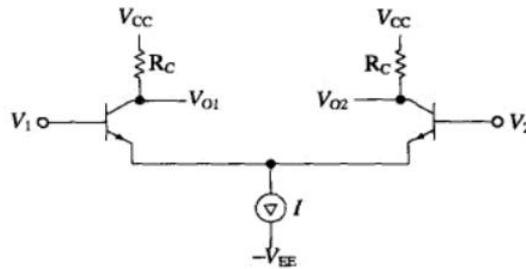


图 23 VFA 理想结构模型<sup>[15]</sup>

考虑到光纤瞬断检测仪的精度要求，设计倾向于选择精度较高的放大器结构，所以选定二级放大器为 VFA 结构，具体选型为 AD8099。

AD8099 为电压反馈运算放大器；当增益设定为 +10V/V 时，-3dB 带宽为 550MHz；输入电压噪声为  $0.95nV / \sqrt{Hz}$ ，输入电流噪声为  $2.6pA / \sqrt{Hz}$ <sup>[16]</sup>。这些指标与跨阻放大器相近，也说明了 AD8099 的优异性能能够为本设计提供快速动态响应能力，同时能够保证较低的噪声。AD8099 的输入电容为 2pF，较低的输入电容能够降低跨阻放大器的输出负载，降低前端放大器的不稳定性。

通过最终的定标测量和调试，确定 AD8099 的增益为 +10V/V，输出的电压峰峰值典型值为  $0.2V_{pp}$ 。闭环增益的波特图如图 24 所示，当增益为 +10V/V 时，特性曲线略微上翘，需要进行电容补偿，使之能够更好的保持电路稳定性，降低高频噪声。添加补偿电容的方式类似于 OPA847 的分析，这里不再赘述。

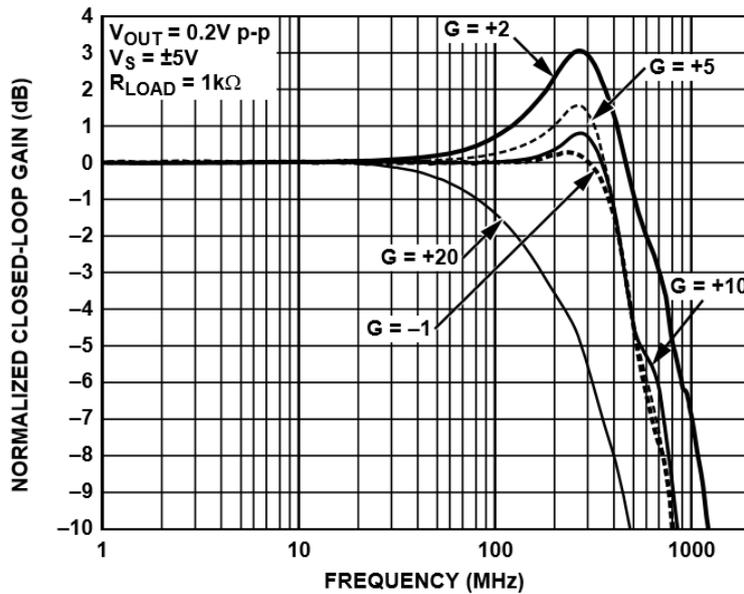


图 24 AD8099 小信号频率响应曲线

除了进行固定增益的二级放大，保证跨阻放大器的稳定性之外，还需要进行可变增益放大器的设计，这样才能保证满足监测功率范围的要求。由于监测功率范围要求变动至少为 50dB，所以可变增益放大器至少也需要满足 40dB 的增益变动要求。

可变增益放大器的内部结构类型有很多，有一类是通过电流乘法器进行增益控制，典型器件有 TI 公司的 VCA82X 系列，如图 25 所示。该类器件能够实现很大范围的增益变动，并且能够实现 log 线性增益控制，对于同样以 dBm 为单位的光功率信号来说有着很好的使用背景。但是，该类可变增益放大器通常为模拟电压控制，控制精度不高，并且对于光纤瞬断检测仪来说，需要知道输入光功率的值，此类放大器难以合理准确定标。

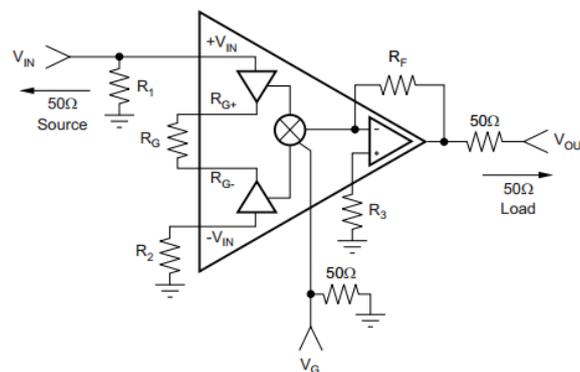


图 25 VCA821 内部结构框图<sup>[17]</sup>

另外一类可变增益放大器是通过选通不同的衰减网络来实现不同程度的衰减，配合固定增益放大电路，就可以实现增益控制，典型器件有 TI 公司的 LMH6518<sup>[18]</sup>、AD 公司的 AD8367<sup>[19]</sup>等芯片，如图 26 所示。此类增益可变放大器为 RF 放大器，难以处理直流分量，也难以保证低频时的噪声和稳定性。对于本设计中的稳定光输入时候产生的直流偏置，此类放大器难以进行正确处理，所以此类放大器也不能很好的适用于光纤测试仪。

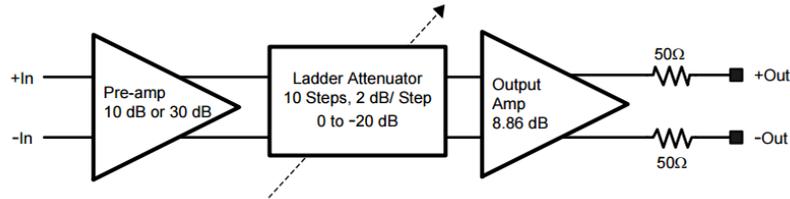


图 26 LMH6518 增益控制简图<sup>[18]</sup>

另外一类可变增益放大器是选通合适跨接电阻而进行增益控制，如本设计中使用的 TI 公司的 THS7001 放大器，如图 27 所示。此类放大器的可变增益结构从典型运放负反馈结构演变而来，通过控制反向输入端电阻和反馈电阻的不同组合，来实现不同的增益。这种增益控制方式在部分工业设计中直接使用了运算放大器 and 多选开关来实现，这类设计都是低频信号情况，鉴于本设计中的低噪声和高带宽情况，最好的选择还是使用集成的器件来实现。

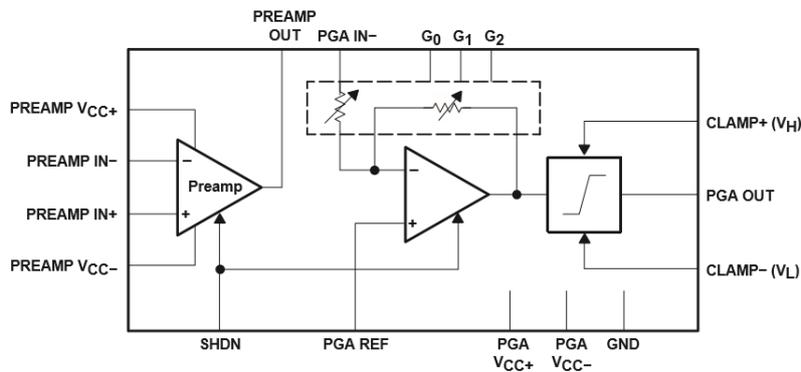


图 27 THS7001 内部结构图<sup>[20]</sup>

由于前级 AD8099 的引入，隔离了跨阻放大器和可变增益放大器，所以可变增益放大器的输入电容特性不会造成电路的不稳定，整个设计只需要保证要求的低噪声、增益动态范围合适和带宽合适即可。THS7001 的典型输入电压噪声为  $1.7 \text{ nV} / \sqrt{\text{Hz}}$ ，典型的输入电流噪声为  $0.9 \text{ pA} / \sqrt{\text{Hz}}$ ，较之前两级放大器，THS7001 的输入电压噪声高于前两级，而输入电流噪声低于前两级。

THS7001 的带宽为小信号-3dB 带宽为 70MHz，大信号-3dB 带宽为 20MHz。考虑到实际光纤测试中的光纤瞬断多数情况为 us 级的瞬断时间，70MHz 的带宽也能够很好的符合设计需要，甚至实际应用中，采用进一步限制带宽的方式来限制噪声对于光纤瞬断检测仪精度的影响。

对于整个模拟信号处理的链路，可以采用计算的方式进行增益分析和噪声计算，从而得到前端模拟电路的设计结果估算。但是这样处理较为复杂，并且有很多数据存在于 Pspice 模型中，无法直接获得。本设计采用 EDA 方法，通过 Multisim 软件进行设计分析。仿真电路原理图如图 28 所示，仿真的元器件包括 PIN 光电二极管、OPA847、AD8099 和 THS7001 的固定增益模型。PIN 光电二极管采用简化的等效参数模型来实现，设定输出电流为 10nA~10uA，假设 PIN 光电二极管的响应度为 0.85A/W，那么输入的光功率大概为 -50dBm~-20dBm。OPA847 仿真模型采用前述得到的参数，AD8099 采用 +10V/V 的推荐电阻取值，并且为了抑制过高带宽带来的不稳定性，采用了跨接电容的方法进行零极点补偿，降低带宽而增加电路稳定性。THS7001 采用固定增益模型进行分析，此处设定的增益调节为 +2V/V，保证输出的信号幅度为 +2V 左右，满足后级处理的需要。

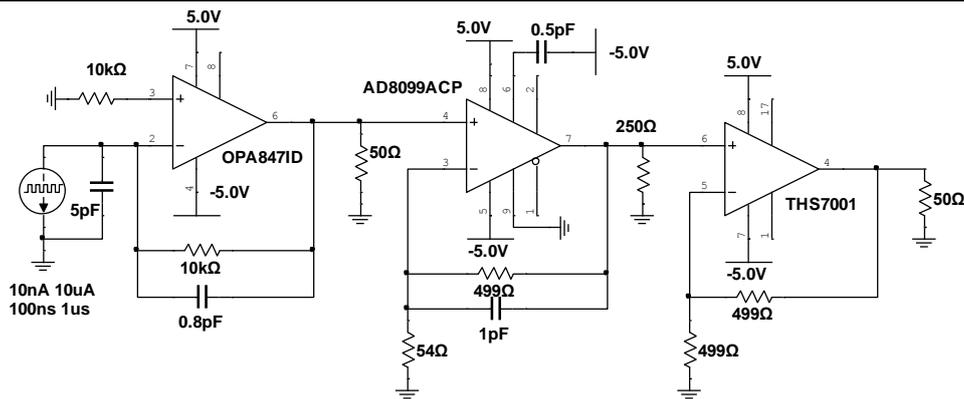


图 28 模拟前端电路仿真原理图

仿真的瞬断分析结果如图 29 所示，采用的激励源为最低值 10nA，最高值 10uA，上升下降时间为 1ns，脉宽为 100ns 的脉冲电流源。该模拟源在幅度上对应着-50dB~-30dBm 的光功率，在时间上对应着 100ns 的光纤瞬断情况，测试条件严格，能够很好的测试其动态响应。从测试结果上看，末级输出电压幅度上满足后续处理的需要，并且动态响应较好，能够很好地反应光纤瞬断的电压变化情况。交流分析结果如图 30 所示，扫描频率范围从 1Hz~300MHz，图中标注的为 3dB 带宽点，大致为 21MHz，此时的相位偏移为-71°，仍然处于稳定状态。由于仿真引入了跨接的电容，并且由于 THS7001 的带宽限制，当输出 2Vpp 时，实际测试带宽为 21MHz，符合预期。

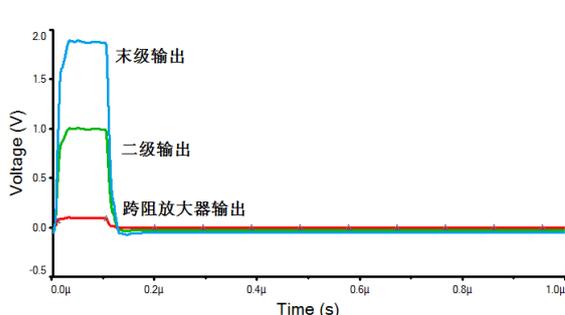


图 29 模拟前端瞬态仿真结果

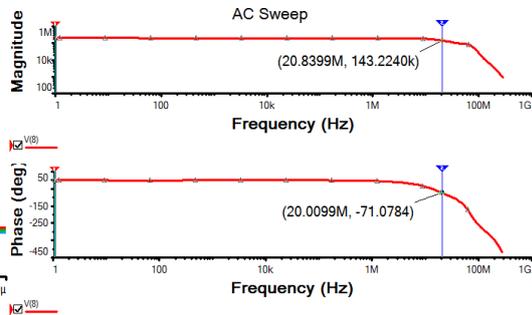


图 30 模拟前端交流仿真结果

对于光纤瞬断检测仪来说，精确的增益控制和实现不是必须的，这方面的不准确可以使用最后产品定标的方式使光功率和增益一一对应。噪声控制在设计中才是需要重点考虑的因素。经过 EDA 工具的噪声分析，以输入电流信号作为参考，最后末级输出的总电流噪声和末级输出的总电压噪声如表 2 所示，末级输出总电流噪声为 9.62uA，末级输出总电压噪声为 45.15mV。ADS4129 的满幅输入为 1.8V，最小瞬断幅度标准为 5%，则最大可容忍噪声电压为

$$1.8V * 5\% = 90mV \quad (\text{公式 11})$$

也就是说，模拟前端的设计满足设计需求，留有 45mV 的噪声裕量。

表 2 噪声分析输出表（峰峰值）

Noise Analysis		
Variable	Integrated noise (V or A)	
1 inoise_total	9.61854 u	
2 onoise_total	45.15400 m	

### 3.4 差分放大电路分析

差分放大电路是减法器电路变化所得到的电路，主要用于进行差分信号放大、单端输入信号转化为差分输入信号<sup>[21]</sup>。本设计使用的高速 ADC 为差分输入型 ADC，所以需要借助差分放大电路将单端信号转换为差分信号。由于本设计需要将频带范围扩展到直流，所以需要能够进行直流转换的差分运算放大器，选定的器件为 AD 公司的 AD8131。

AD8131 的应用电路如图 31 所示。AD8131 从模块划分来说，应该更加倾向于属于高速 ADC 的输入调整电路，其主要作用是对于前级输入信号进行单端转差分变化，并设置合适的输出电平，以符合后端 ADC 的输入电平需要。AD8131 的-3dB 带宽为 320MHz，高于前端限制带宽，能够拥有很好的动态响应速度。共模输入电压范围为-7V~+5V，可以接受前级输出。输出电压摆幅为-3.6V~+3.6V，满足 ADS4129 满幅+1.8V 的输入要求。

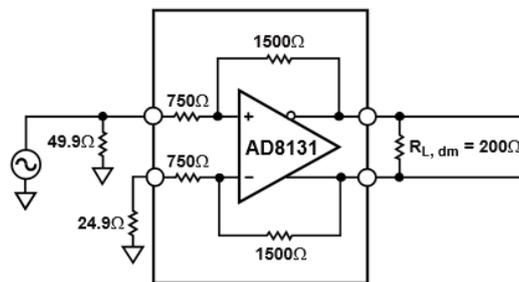
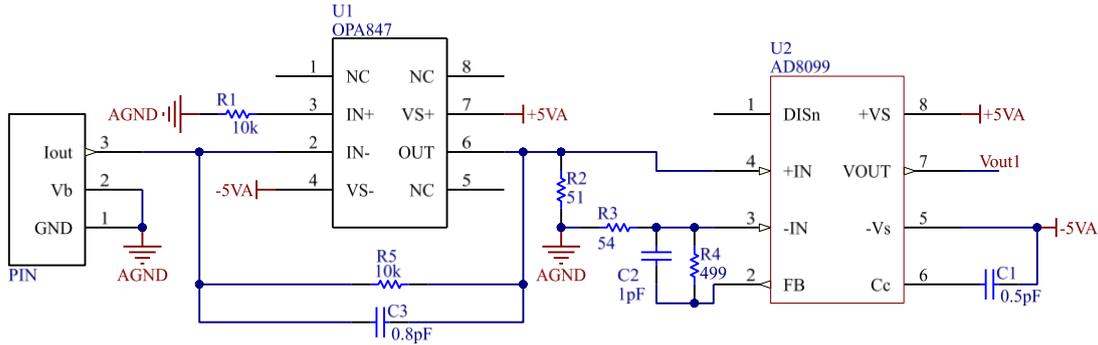


图 31 AD8131 应用电路<sup>[22]</sup>

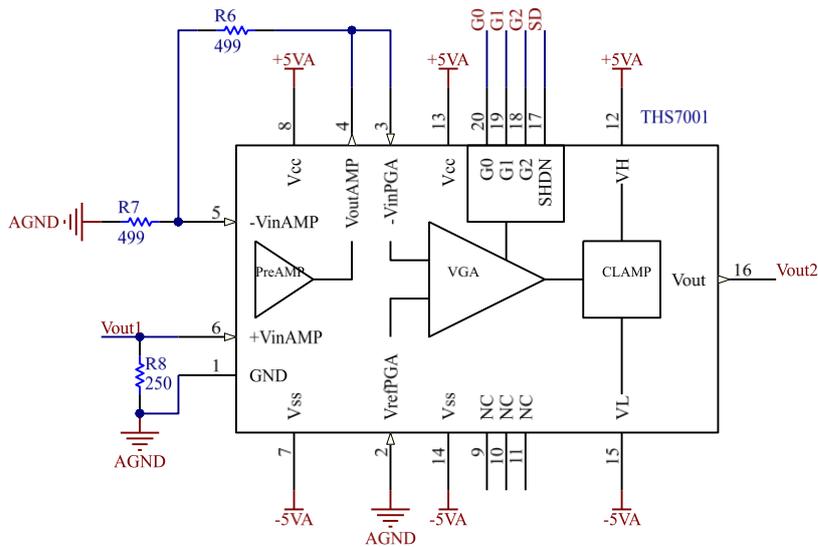
AD8131 需要严格匹配输入同相端和反相端的电阻，以避免阻抗失调。如果出现阻抗失调，则输入失调电流会由于输入阻抗不一致产生偏置电压，这种偏置电压对于光纤瞬断检测仪的噪声容限有着很大的影响。由于差分放大器的同相输入端和反相输入的结构不同，如果不加外部电阻进行匹配，那么输入电阻会不一致，需要加入外部电阻进行阻抗调节。经过尝试，最终选定同相输入端加上 49.9Ω 电阻，而反相输入端加上 24.9Ω 电阻，此时匹配的较为理想，零输入时，输出差分电压的差值也保持在 0V。

### 3.5 整体原理图及测试结果

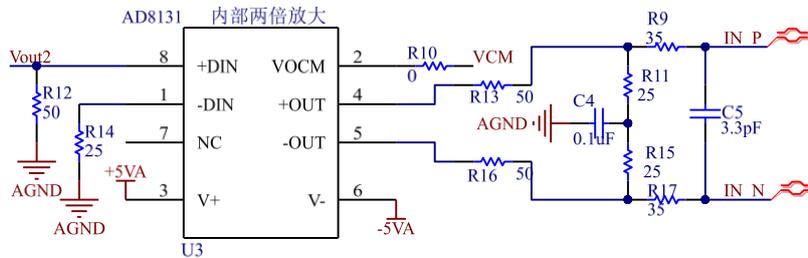
结合模拟前端的仿真和 AD8131 的特性分析，本设计的模拟前端整体器件选型完成，同时分析得出该设计能够满足光纤瞬断检测仪。整体设计图如图 32 所示。这也是最终产品采用的设计电路图。模拟前端在进行 PCB 布局布线操作时，需要注意噪声的屏蔽和防护。在 PIN 光电二极管的附件需要有完整的地平面，同时 PIN 二极管输入到 OPA847 的线尽量短，尽量降低寄生参数的影响。调节电容和反馈电阻尽量形成较小的反馈环，降低环路面积，降低寄生电感。AD8131 输出到 ADS4129 的走线尽量等长分布，并且保证这对差分线的外部环境一直，降低不一致造成的共模噪声。另外，所有的元器件需要进行电源管脚电容去耦操作，降低电源平面的阻抗，降低噪声。如果有可能，最好利用金属屏蔽罩将模拟前端隔离起来，防止外界噪声干扰。



a. 模拟前端最终设计电路图 Part1



b. 模拟前端最终设计电路图 Part2



c. 模拟前端最终设计电路图 Part3

图 32 模拟前端最终设计电路图

通过接入稳定光源进行测试,得到底噪的测试结果;通过接入 1kHz 频率光源进行测试,可以得到前端相应的结果。图 33 左侧图从上到下依次为跨阻放大器 OPA847 输出的测试结果、THS7001 固定增益输出的测试结果和 AD8131 正端输出的测试结果。图 33 右侧图从上到下依次为跨阻放大器 OPA847 输出的测试结果、THS7001 固定增益输出的测试结果和 AD8131 差分输出的测试结果。经过初步测试,可以得到,模拟前端的输出底噪大致为 50mV,与仿真测试结果比较接近。同时模拟前端的上升时间为远小于 4us,符合设计需求。经过验证,模拟前端设计符合要求,能够很好的实现预定功能。

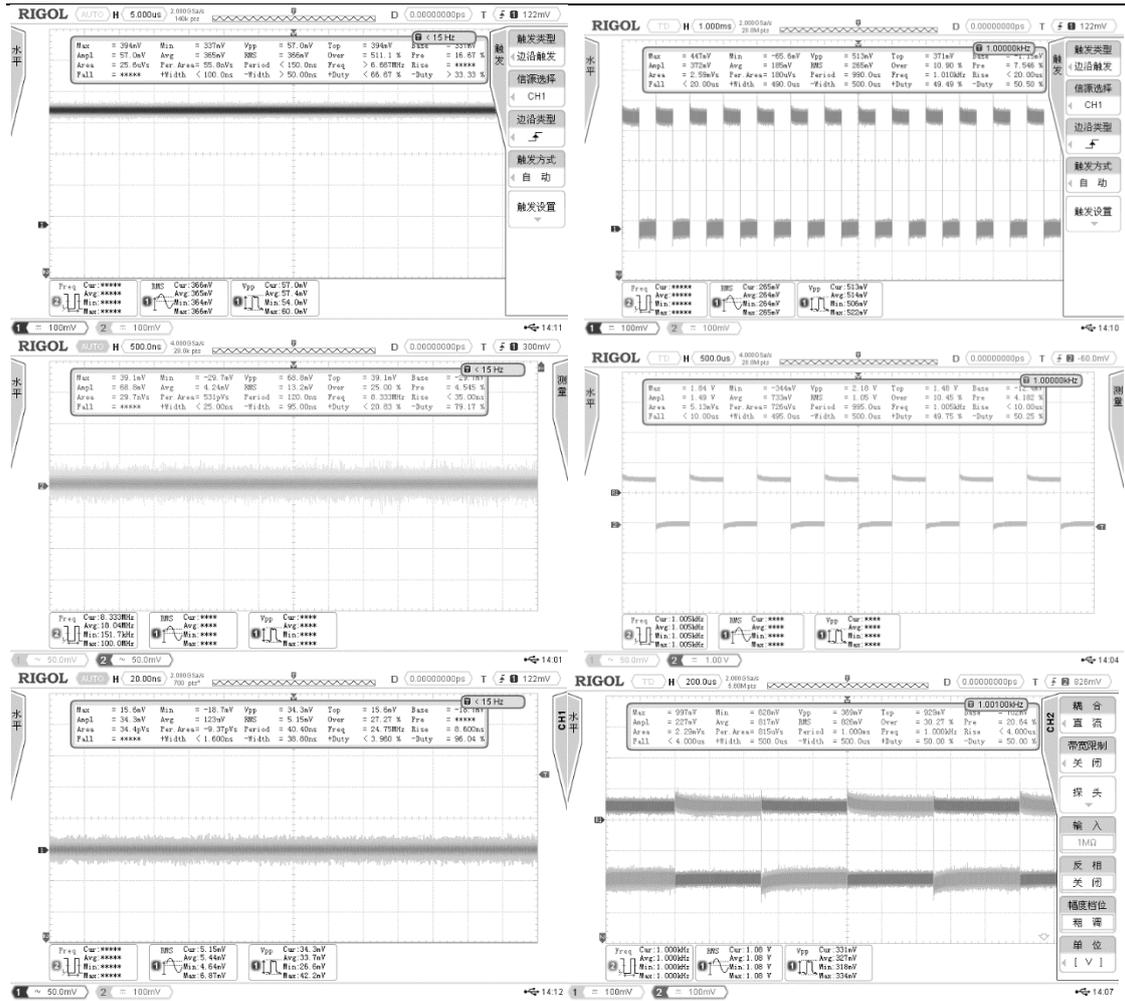


图 33 前端模拟电路的测试结果（左侧图为底噪，右侧图为 1kHz 频率光响应）

## 第四章 高速 ADC 分析与设计

高速 ADC 作为本设计的模拟信号和数字信号转换的桥梁，需要满足低噪声的要求，具体表现为模拟输入端的设计要求、采样时钟的设计要求、共模电压和参考电压的设计要求和电源的设计要求。

对于本设计使用的 ADS4129，要求为差分电压输入，减小耦合共模噪声。同时，由于集成器件在输入较高时线性度会变差，所以差分电压输入提高了高速 ADC 的线性输入范围，保证了采样区间的线性度。由于前端模拟电路具有带宽限制的作用，高速 ADC 的输入端不需要特意设计低通滤波器防止镜像干扰，只需要进行阻抗匹配操作。ADS4129 的模拟输入电路模型如图 34 所示，其为差分开关电容采样保持电路。设计的输入端电路如图 35 所示，对于共模开关电流，需要一个合适的回流路径，但是内部结构显示不存在这样的回流路径，特别是 DC 回流路径，因此本设计在输入端的差分信号对之间跨接了一个回流路径，即 R11-C4-R15 路径。对于差分信号，为了能够最大程度的消除开关电容采样电路造成的开关噪声，设计了 C5 跨接的小电容，消除高频开关噪声的影响。电阻 R9 和 R17 是为了消除输入端寄生电感、电容可能造成的振铃现象。

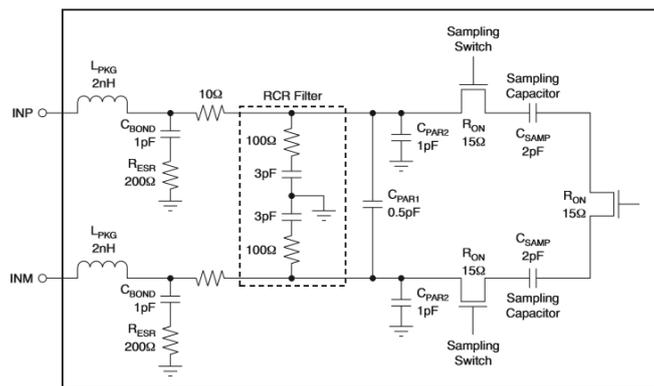


图 34 ADS4129 模拟输入电路模型

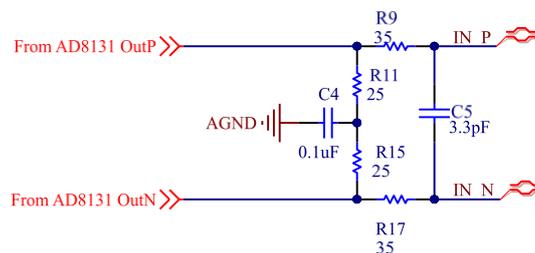


图 35 模拟输入端电路

ADS4129 使用了 200MHz 的差分采样时钟。为了能够降低时钟抖动，保证 ADC 采样的有效性，本设计使用了 FPGA 内部锁相环的时钟输出。FPGA 内部锁相环通过将 50MHz 时钟进行倍频操作，生成 200MHz 时钟，然后通过差分线送入 ADS4129 的时钟输入端，驱动 ADS4129 采样转换操作。设计时需要注意，为了能够降低时钟抖动，采用了方波时钟驱动信号，这会增加时钟线对于外界的电磁辐射，影响敏感器件的工作。所以，设计时需要将时钟线远离其他器件，并且在 ADS4129 的输入端进行合适的端接，以进行阻抗匹配，降低电

磁辐射。

ADS4129 的共模电压可以利用器件自身提供的共模电压输出进行设置，将输出的共模电压输入到 AD8131 的共模电压输入端，就可以很简单的完成共模电压的设置，这是集成元件带来的便利之处。由于共模电压噪声对于系统噪声也有影响，所以需要进行 RC 低通滤波，电容尽可能选择较大容值，保证噪声的滤除。ADS4129 的参考电压为内部集成，外部可以调节的方面很少，只需要保证 ADS4129 的供电网络低噪声就可以保证参考电压的低噪声。ADS4129 的电源需要模拟电源和数字电源，二者均为+1.8V，但是需要进行分离供电，避免数字电路电源噪声对于模拟电路的影响。

我们使用信噪比 SNR 来衡量高速 ADC 的噪声，其指的是信号功率与噪声功率的比值，其中噪声功率需要除去直流功率和五次谐波以内的功率。由模拟前端测量得到，噪声功率输出的 RMS 值为 5.15mV，考虑满幅输入时，信号功率大约为 2V<sub>pp</sub>，则计算可以得到此系统的 SNR 为

$$SNR = 20 \log\left(\frac{2}{\sqrt{(5.15m)^2 + (5.15m)^2}}\right) = 48.78dB \quad (\text{公式 12})$$

根据经验公式，可以获得实际的有效位数

$$n = (SNR - 1.76) / 6.02 = 7.81bits \quad (\text{公式 13})$$

本设计采用 12bits 的 ADC 进行采样，满足有效位数的需求。在实际测试过程中，可以看到采样数据在采样平稳光功率值时以八进制表示的 3 位数 0xABC 中最后一位 C 会出现跳动，跳动范围为±4 左右，则证明了计算的的实际有效位数有一定的可参考性。但是由于后部存在的多次平均系统，信噪比提升了大约 9dB，则实际有效位数会提升到 9.3bits，符合测量的情况。

## 第五章 FPGA 信号处理链路设计、分析与验证

FPGA 作为最通用的信号处理器件，能够适应各种高速信号处理的场景。尤其是对于需要定制的信号处理通路，FPGA 由于其硬件电路的强适应性，能够生成最适合的数字处理通路。对于光纤瞬断检测仪，其内部核心处理电路的专有化程度很高；并且为了驱动前端高速 ADC，一般的通用处理模块难以适用。所以，FPGA 是光纤瞬断检测仪的最为理想的核心处理元件。

本设计中 FPGA 模块为处理瞬断的核心模块，其接受高速 ADC 的采样值输入，通过不同时刻的实时幅度采样值来判断瞬断是否发生以及瞬断的时间长度和瞬断的幅度最大变化值，并能够将大量的信息转化为少量的关键信息传出给 MCU 控制单元，完成瞬断的检测和瞬断时长、瞬断幅度变化值等关键信息的获取。

FPGA 信号处理模块的处理流程图如图 36 所示。

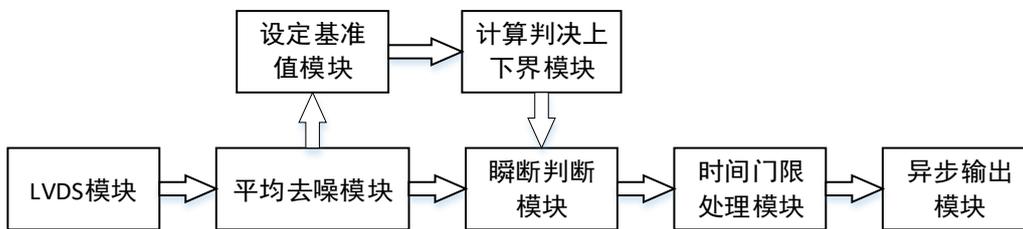


图 36 FPGA 信号处理模块处理流程

### 5.1 LVDS 接收模块分析与设计

LVDS (Low Voltage Differential Signals)，即低压差分信号，主要用于传送高速数字信号，本设计中用于在高速 ADC 和 FPGA 之间传输采样值。LVDS 驱动器采用电流模式输出，如图 37 所示，输出的电流大小为固定的 3.5mA，由于接收器输入阻抗足够大，所以驱动器正端输出的 3.5mA 电流绝大部分会经过端接的 100Ω 电阻，在接收器正负输入端产生 350mV 的电压。具体过程为，当电流从驱动器正端流出，经过接收器端接电阻，回到驱动器负端，此时在接收器输入端产生+350mV 输入电压；当电流从驱动器负端流出，经过接收器端接电阻，回到驱动器正端，此时在接收器输入端产生-350mV 输入电压<sup>[23]</sup>。

由于采用差分形式输出，LVDS 差模电压电磁场主要限制于两条差分线之间，如图 38 所示，同时借助于很低的电压摆幅和信号上升下降速率，LVDS 对外辐射较小，减小了整体 EMI。LVDS 采用电流形式输出，降低了电平转换时产生的电压噪声。差模电压降低了外部噪声干扰。这些优势保证了 LVDS 工作频率最高可以达到 3.125Gbps，同时为设计提供了充足的噪声裕量<sup>[24]</sup>。

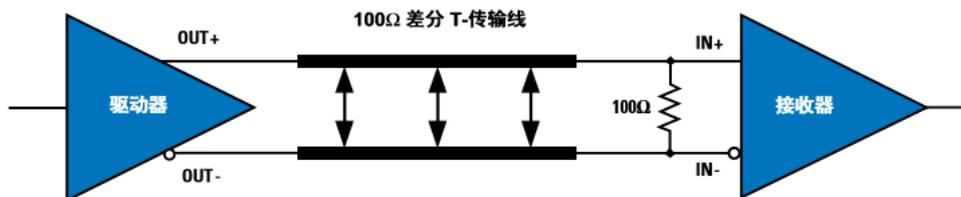


图 37 LVDS 传输简图

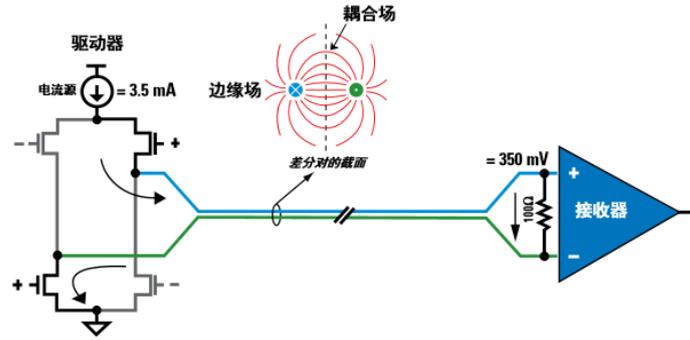


图 38 LVDS 电磁场特征简图

本设计中 LVDS 主要用于高速 ADC 和 FPGA 之间数据传输。高速 ADC 的采样值经过 DDR Serializer 进行串行化处理，如图 39 所示。最终输出的数据格式为 DDR 形式，时钟的上升沿输出奇数位，时钟的下降沿输出偶数位，同时 ADC 还提供采样时钟输出，保证了最优的采样时刻，确保了 FPGA 数据输入的正确性，如图 40 所示<sup>[25]</sup>。

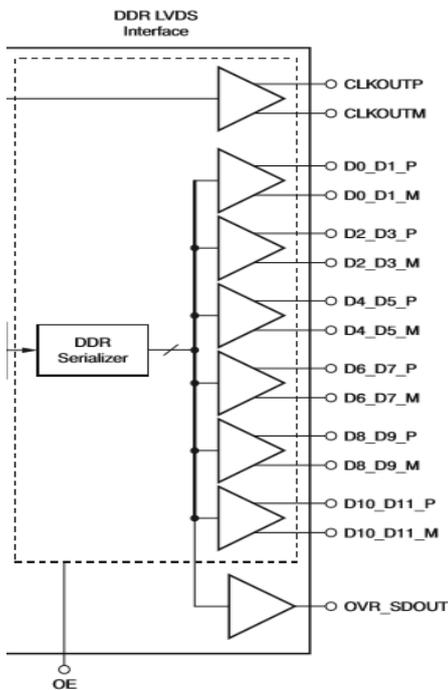


图 39 ADS4129 DDR LVDS 接口

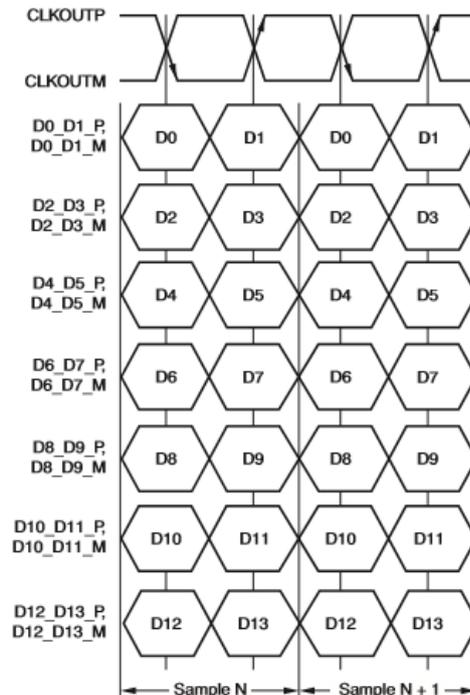


图 40 ADS4129 LVDS 接口输出数据格式

本设计使用的 FPGA 型号为 Altera 公司的 EP4CE55F271，这款产品本身提供了 LVDS 的接收 IP 核，可以直接例化使用。需要注意的是，IP 核的解串行功能可能会造成接受输出的位置错误，比如 ADC 串行是将待输出的 12 位数据进行 DDR 串行化，分为奇数位和偶数位输出；而接收的 IP 核可能会将数据进行高 6 位和低 6 位的组合，完成数据的解串行，得到采样的数据。所以，对于实际的 LVDS 解串行功能模块，需要进行功能仿真，以确定其解串行功能的实现方式<sup>[26]</sup>。仿真波形如图 41 所示，通过比较可以得出，LVDS 模块延迟一个单位输出解串行采样值，并且仍然按照奇数位偶数位的形式解串行，与 ADC 串行化方式一致。所以可以直接调用 LVDS 接收 IP 核进行数据接收，而不需要进行进一步的数据组合工

作。

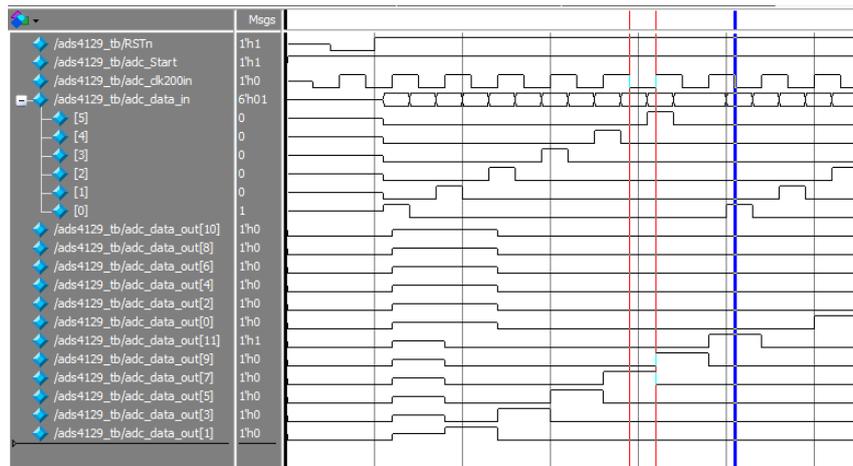


图 41 FPGA LVDS-SERDES 功能仿真

实际设计之前可以利用 IBIS 模型进行关键信号仿真，特别是 LVDS 的仿真。IBIS 模型是常用的板级信号完整性仿真模型，包含了从行为上描述器件的输入、输出和 IO 缓冲器的数据，这些数据包含了器件 IO 接口的一些关键特性曲线以及关键的参数<sup>[27]</sup>。如图 42 所示，典型的 IBIS 模型。一般的 IBIS 模型需要包含封装的寄生参数  $R_{pkg}$ 、 $C_{pkg}$  和  $L_{pkg}$ ，硅片电容  $C_{comp}$ ；PMOS 晶体管的电流/电压曲线，NMOS 晶体管的电流/电压曲线，电源箝位二极管的电流/电压曲线，地箝位二极管的电流/电压曲线；一定负载情况下，不计入封装寄生参数 PMOS 和 NMOS 的  $V/t$  曲线。不同的 IO 类型有着不同的 IBIS 模型，比较常见的包括 Input、Output、I/O、3-state 等类型，这些都包括了单端信号和差分信号形式。

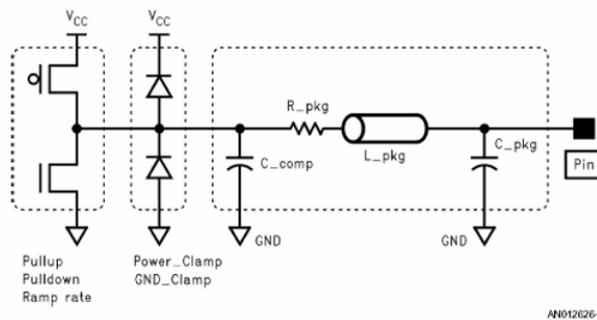


图 42 IBIS 模型 I/O 简图

IBIS 模型利用了测量得到的器件行为级 IO 特性曲线来实现仿真操作，避免了 SPICE 模型的复杂计算过程，同时也能够很好的隐藏器件的内部设计细节，实现器件的保密性。

本设计采用 ADS 软件仿真 ADS4129 输出 LVDS 到 FPGA 接收端的信号过程，其仿真图如图 43 所示。驱动器采用了 TI 公司提供的 ADS4129 的 IBIS 模型中的 LVDS 三态输出模型，接收器采用了 Altera 公司提供的 Cyclone IV 系列 FPGA 的 IBIS 模型中的输入模型。建模时均包含了 IBIS 模型中的寄生参数，传输线采用了  $50\Omega$  理想传输线模型，末端端接电阻为  $100\Omega$ 。波形仿真结果如图 44 所示，眼图结果如图 45 所示。眼图结果中已经标注了 MASK，对比 MASK 可以得到，简单的末端端接就可以保证很好的匹配效果，使接收端的信号符合 MASK，保证了传输的正确性。

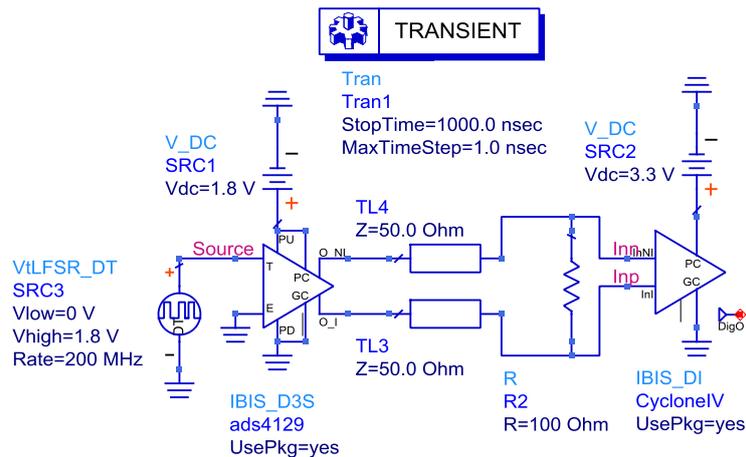


图 43 LVDS 仿真模型

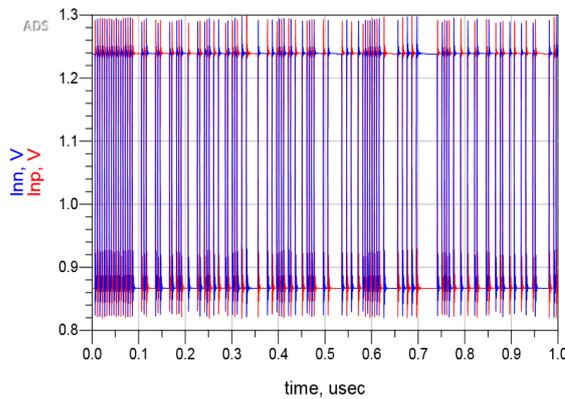


图 44 仿真波形图

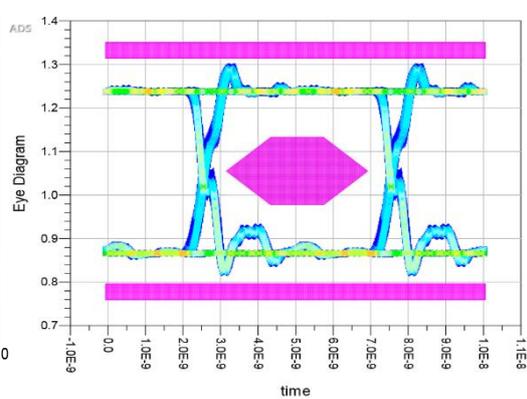


图 45 仿真眼图

本设计中 LVDS 涉及到六对数据信号、一对 ADC 时钟输入信号和一对 ADC 采样时钟输出信号。这几对信号，包括数据信号和采样输出信号之间，需要进行等长处理，这样才能保证采样时钟处于最佳的采样时刻。同时，LVDS 为差分信号，需要保证相关的两条信号线足够近，而离敏感信号区域足够远，这样能够最大限度地降低噪声、降低 EMI。在电路设计过程中，需要将这六对信号线和输出采样时钟线进行差分蛇形布线。具体电路板的布线图如图 46 所示，采样时钟输出信号和数据信号均采用末端 100 欧姆电阻进行匹配。同时还需要保证差分线之间的间距近而不同差分对间距足够远，差分对走线的差分阻抗满 100 欧姆，降低差分信号的反射和串扰。在差分对的临近地平面应该保持完整，为共模电压提供合适的额回流路径。末端匹配阻抗应该尽可能接近 FPGA 的 LVDS 接受管脚，如果情况允许，最好使用 FPGA 片上 100 欧姆电阻。走线尽量避免过孔换层，降低由于过孔和信号回流路径问题而引起的信号完整性问题<sup>[28]</sup>。

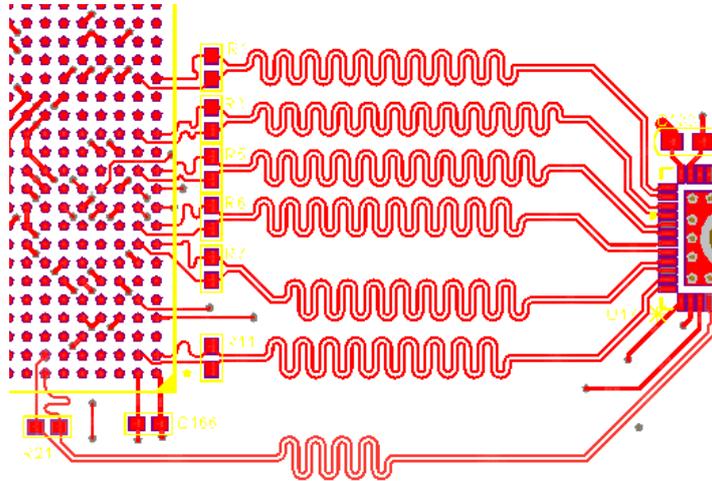


图 46 ADS4129 到 FPGA 的差分等长走线

## 5.2 平均去噪模块

由于光电二极管和模拟前端会引入随机噪声，这些噪声很大程度上是随机噪声，可以通过低通滤波进行抑制。随机噪声而引起的采样输入端的电压变动，而光纤瞬断检测仪的主要功能就是检测信号的瞬间变动。因此模拟前端和 FPGA 内部需要尽可能的降低随机噪声的影响，避免由于随机噪声造成的电压波动过大而造成的误触发。在 FPGA 内部逻辑资源充足的情况下，可以考虑利用数字平均滤波进行随机噪声抑制。

实际应用过程中，存在一种高速 ADC，利用多次平均来提高 SNR。平均的方法可以降低不相关噪声，比如热噪声、ADC 参考电压噪声、孔径噪声等。平均方法提高 SNR 与平均次数的关系如图 47 所示<sup>[29]</sup>。为了尽量消除噪声，本设计从开始就充分利用了平均的设计考虑。

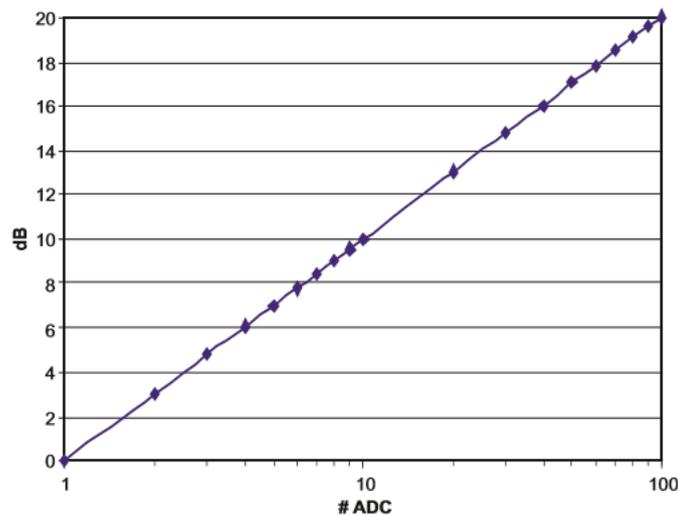


图 47 SNR 提升与 ADC 平均次数的关系<sup>[29]</sup>

由于 ADC 的采样率为 200Mbps，考虑八次平均，得到数据速率为 25Mbps，则间隔的采样点时间宽度为 40ns。相对于 us 量级的瞬断时间，40ns 的采样输出间隔可以保证信号瞬断的细节得以保留，并且能够很好的消除随机噪声，从图 47 可以得到，八次平均大致使 SNR 有 9dB 的提升。平均去噪模块的示意框图如图 48 所示。

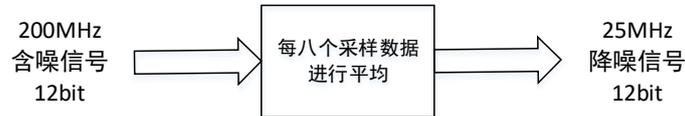


图 48 平均去噪模块示意框图

### 5.3 设定基准值模块和计算判决上下门限模块

对于光纤瞬断检测，考虑两个部分，一部分是对于幅度变动是否超出设定的判断，另外一部分是对于瞬断时间宽度是否超出设定的判断。由于幅度变动和瞬断时间宽度具有不相关性，最基本的考虑是将幅度变动判断和瞬断时间宽度判断分离，先找到所有符合幅度变动的瞬断，然后对于找到的这些瞬断，判断其瞬断时间宽度是否满足要求。

对于幅度变动的判断，首先需要有一个模块来计算得到比较的基准值，通过该基准值计算得到的上限门限就是采样值的上下限，一旦采样平均值超过该门限，则表示发生了瞬断，需要进一步的处理。

FPGA 的处理过程如图 49 所示。主要思想是利用  $t$  时刻数据  $DATA[t]$  与之前一个时钟  $t-1$  时刻数据  $DATA[t-1]$  进行比较，如果  $DATA[t]$  在  $DATA[t-1]$  的 90%~110% 范围内，则说明数据变动不大，可以将标准值  $StdLevel$  更新到  $DATA[t]$ ，也就是图 49 中的情况 1。如果  $DATA[t]$  超过了  $DATA[t-1]$  的 90%~110%，说明数据变动过大，很有可能发生了瞬断，此时需要保留基准值不更新，也就是图 49 中的情况 2。为了能够避免出现光纤瞬断之后未恢复的情况，加入了计数模块，每次发生情况 2 都会计数一次。当长时间陷入瞬断时，该模块会更新基准值，以便跟踪后续的情况，这就是图 49 中的情况 3。情况 2 和情况 3 如图 50 和图 51 所示，图中实线部分为实际的输入信号，虚线（为表示清楚，略上移）为确定的基准值。

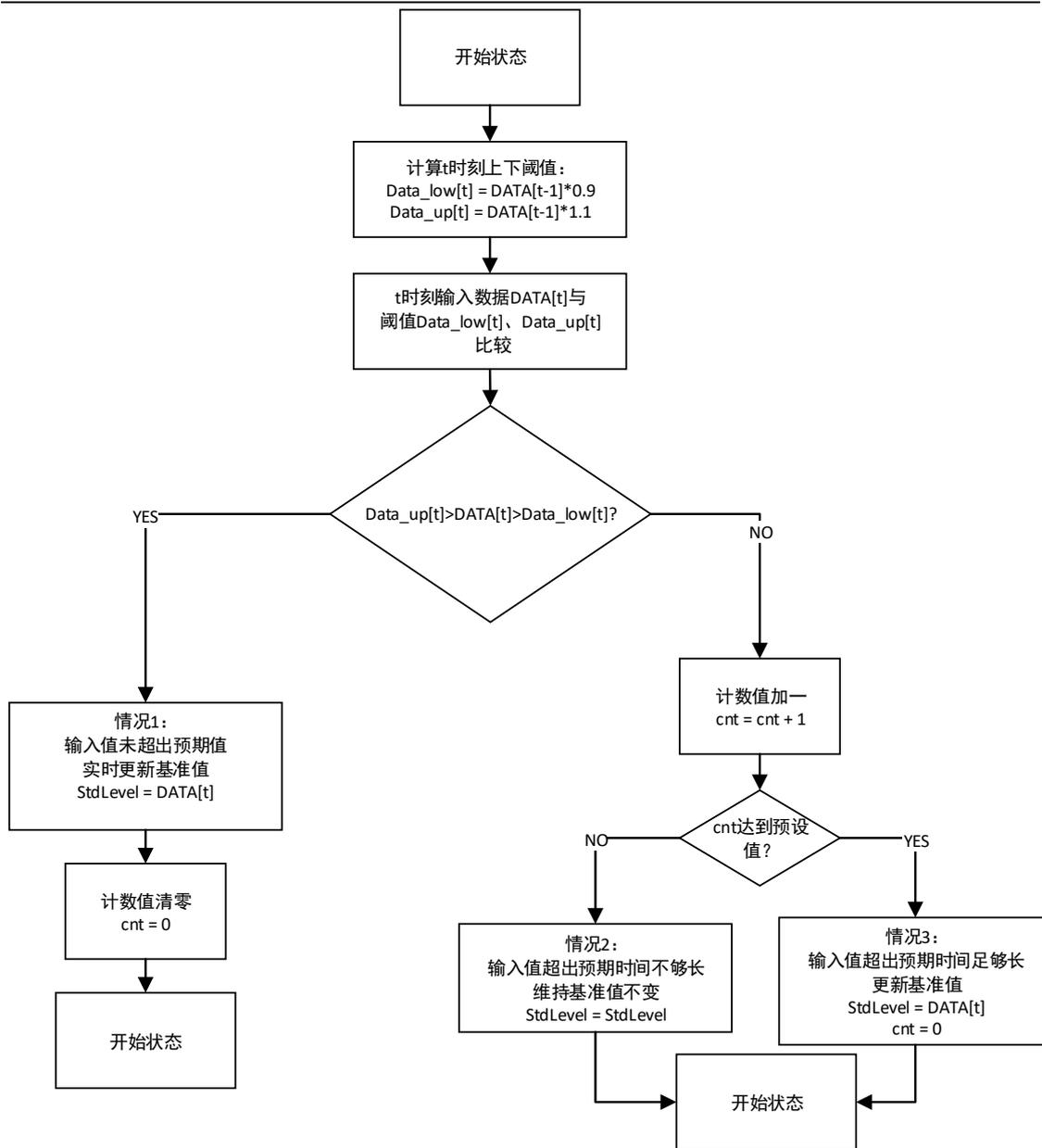


图 49 设定基准值的流程框图

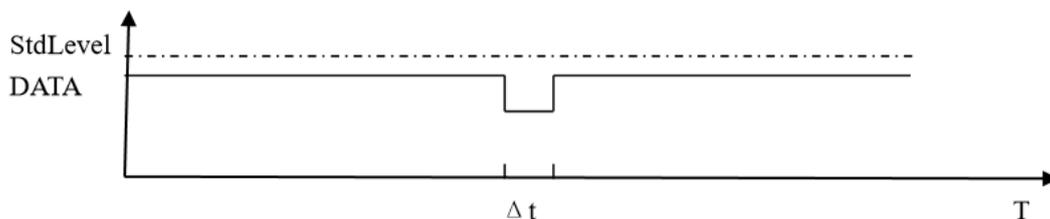


图 50 瞬断前后基准值不变情况

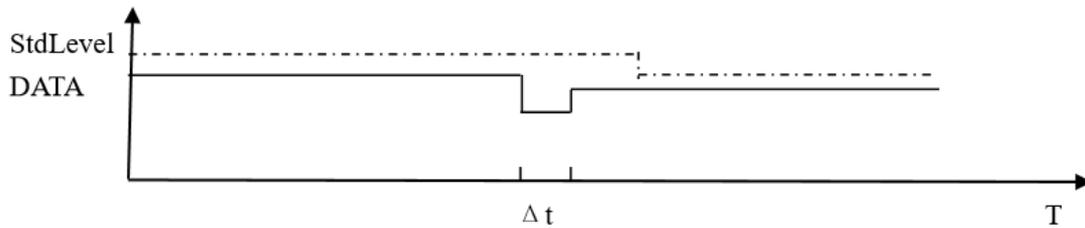


图 51 瞬断前后基准值变化情况

对于确定好的基准值，通过上下门限计算模块，可以得到光纤瞬断的上下门限。本设计中，上下门限采用基准值乘以一个缩放因子来实现。在 FPGA 中实现特定的乘法，可以采用移位运算完成快速的计算。本设计中预设的缩放因子有  $\pm 5\%$ ， $\pm 10\%$ ， $\pm 15\%$  和  $\pm 20\%$ ，具体操作如下：

$\pm 5\%$ :

$$\begin{aligned} 0.95 &= 1/2 + 1/4 + 1/8 + 1/16 + 1/128 + 1/256 + 1/1024 \\ 1.05 &= 1 + 1/32 + 1/64 + 1/512 + 1/1024 \end{aligned} \quad (\text{公式 14})$$

$\pm 10\%$ :

$$\begin{aligned} 0.9 &= 1/2 + 1/4 + 1/8 + 1/64 + 1/128 + 1/512 \\ 1.1 &= 1 + 1/16 + 1/32 + 1/256 + 1/512 \end{aligned} \quad (\text{公式 15})$$

$\pm 15\%$ :

$$\begin{aligned} 0.85 &= 1/2 + 1/4 + 1/16 + 1/32 + 1/256 + 1/512 \\ 1.15 &= 1 + 1/8 + 1/64 + 1/128 + 1/512 \end{aligned} \quad (\text{公式 16})$$

$\pm 20\%$ :

$$\begin{aligned} 0.8 &= 1/2 + 1/4 + 1/32 + 1/64 + 1/512 + 1/1024 \\ 1.2 &= 1 + 1/8 + 1/16 + 1/128 + 1/256 + 1/1024 \end{aligned} \quad (\text{公式 17})$$

## 5.4 瞬断判决模块

瞬断判决模块为 FPGA 信号处理的核心模块，主要作用就是判断采样平均后的采样值是否发生了超过了预设的门限值，发生了瞬断。

该模块的框图如图 52 所示。其接受输入有时钟信号 CLK，异步复位信号 RSTn，最长恢复时间 Tint，采样平均信号输入 dataIn，基准值 dataStd，上下门限 stdUp 和 stdLow；处理之后的输出信号有计数值输出 cntOut，数据输出 dataOut，是否发生瞬断指示 isSplit 和输出使能信号 outEnable。

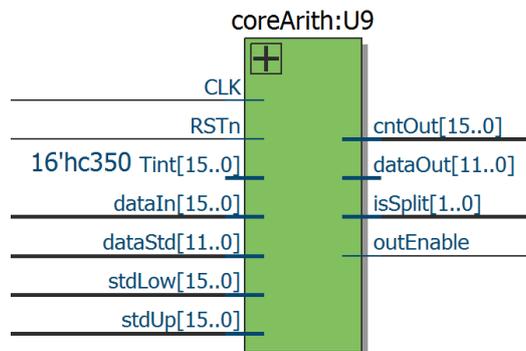


图 52 瞬断判决模块框图

瞬断判决模块的处理流程如图 53 所示，其中的关键参数名沿用图 52 的接口名称。整个流程主要分为三个部分，正常情况 ( $\text{stdUp} > \text{dataIn} > \text{stdLow}$ )、超过上门限 ( $\text{dataIn} > \text{stdUp}$ ) 和超过下门限 ( $\text{stdLow} > \text{dataIn}$ )。

对于正常情况，也就是输入的采样平均值没有超过上下门限，此时计数值加一，然后判断计数值是否达到预设的计数值。如果达到，则输出一次基准值和计数值，将瞬断标志位置 1，同时使能输出， $\text{outEnable}=1$ ；如果没有达到，则禁止输出， $\text{outEnable}=0$ 。程序中预设的  $T_{\text{int}}=50000$ ，对于 25MHz 的数据输入速率，则正常情况下数据的输出速率为

$$t = T_{\text{int}} \times (1 / f) = 50000 \times (1 / 25000000) = 2\text{ms} \quad (\text{公式 18})$$

即正常情况下，每 2ms 就会发出一次数据，数据包括 12 位的  $\text{dataOut}$ ，16 位的  $\text{cntOut}$  和 2 位的  $\text{isSplit}$ 。

对于超过上门限的情况，一旦发生这种情况，则首先会将发生瞬断时刻之前的计数值  $\text{cntOut}$  和正常的基准值  $\text{dataOut}$  输出，同时将瞬断标志置 1，表示之前时刻仍然为正常情况。这样能够保证整个光纤瞬断的过程是连续的，不存在没有处理输出的时间段。然后将计数值清零，开始处理向上瞬断的情况。在向上瞬断的情况中，如果一直处于向上瞬断的状态，则计数值一直累加，直到瞬断结束，采样平均值  $\text{dataIn}$  恢复到正常状态，即  $\text{stdUp} > \text{dataIn} > \text{stdLow}$ 。此时说明瞬断过程完成，则输出向上瞬断过程中的采样最大值  $\text{dataOut}=\text{MAX}$ ，同时输出瞬断过程的计数值  $\text{cntOut}$ ，瞬断标志位  $\text{isSplit}=3$ ，使能输出  $\text{outEnable}=1$ 。这些都完成之后，则将向上瞬断的所有信息都采集并且发送出去，完成了一次瞬断的检测。

对于超过下门限的情况，与超过上门限的情况类似，如图 53 所示。主要区别是输出瞬断信息时，输出的是向下瞬断过程中的采样最小值  $\text{dataOut}=\text{MIN}$ ，同时还需要将瞬断标志位置为 2，即  $\text{isSplit}=2$ 。其他处理过程相似。

每次处理完瞬断情况之后，系统会回到开始状态，即恢复到未发生瞬断的状态，直到下一个瞬断情况的发生。

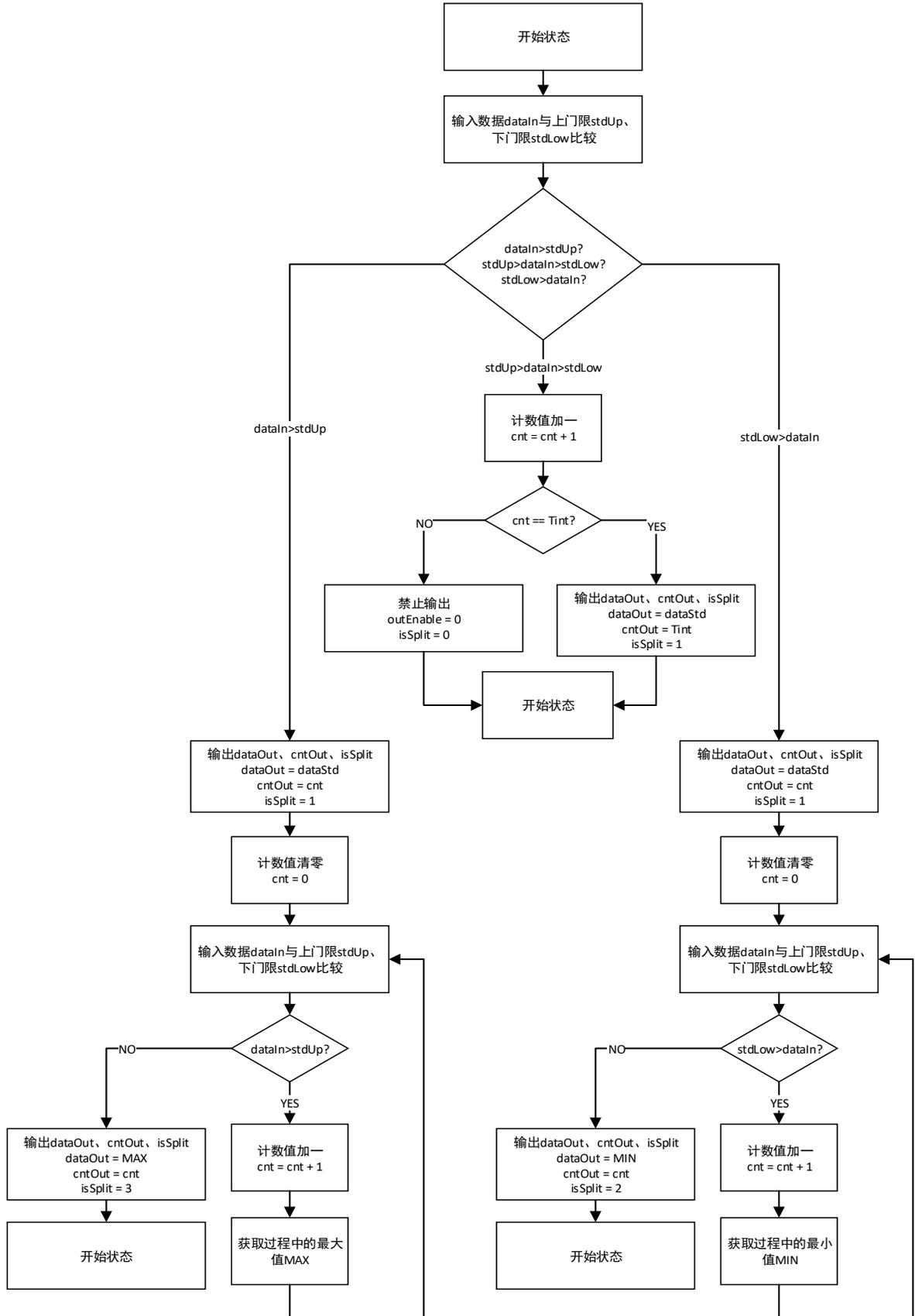


图 53 瞬断判决处理模块流程图

通过功能仿真，可以得到输出信息 dataOut, cntOut, isSplit 和 outEnable 的输出时刻和输出关系。如图 54 所示，将整个仿真过程分为 A、B、C、D、E 和 F 这七个过程。过程 A，之前输入均为 300，为正常状态；过程 B 表示输入从 300 变动到 400，出现向上瞬断的状态，输出状态标志 isSplit 为 3；在多次平均的状态下，基准值会随之改变，当基准值变动到入的 400 附近，则又恢复正常，此时进入正常状态，此时对应过程 C；此后，当输入信号为 300 时，进入向下瞬断的状态，此时进入状态 D；同过程 C 相似，当多次平均，基准值改变到 300 附近，此时进入了正常状态，此时对应状态 E；当输入信号为 200，此时进入向下瞬断状态，此时基准值为发生改变，所以知道输入信号恢复为 300 之前，都属于瞬断状态，此时对应过程 G。以上仿真，涵盖了向上瞬断、向下瞬断和正常状态，同时还包括了基准值发生变化和基准值不变的情况。通过功能仿真，验证了瞬断判决模块功能的正确性。

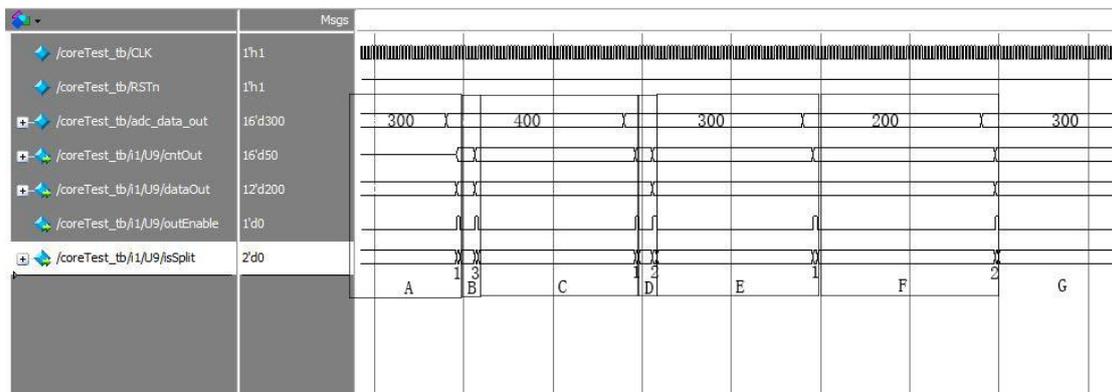


图 54 瞬断判决模块功能仿真结果

## 5.5 时间门限处理模块

对于光纤瞬断检测仪，用户需要设定的参数有可容忍的幅度变动门限 $\Delta P$ 和可容忍的时间宽度门限 $\Delta t$ 。幅度变动门限通过门限判决模块做了处理，并且验证了其正确性。对于时间门限，可以通过时间门限处理模块进行处理。

本设计中，设计的时间门限处理模块输入输出接口如图 55 所示。其主要功能包括当未发生瞬断时，输出基准值；当发生瞬断时，需要输出瞬断的时间宽度和瞬断的类型（向上瞬断还是向下瞬断）。处理过程较为简单直接，对于输入信号进行判断，如果为瞬断类型，则组合数据输出瞬断计数值和对应的瞬断类型；如果为非瞬断类型，则输出基准值。

CLK 为全局时钟输入，RSTn 为异步复位输入，cntIn 为瞬断判决模块的计数值，enable 为瞬断判决模块的使能输出脚，isSplit 为瞬断判决模块的瞬断标志位，setLevel 为瞬断判决模块的基准值输出，setTime 为设定时间宽度的多选开关。outEn 为输出使能模块，dataOut 为输出到后级的数据，包含 24 位，其定义如下：

情况 A: 未发生瞬断的 dataOut 输出

dataOut[23:16]	dataOut[16:12]	dataOut
0	0	前面模块计算得到的基准值

情况 B: 发生瞬断的 dataOut 输出

dataOut[23:16]	dataOut[15:0]
2 表示向下瞬断，3 表示向上瞬断	瞬断的计数值

由于光纤瞬断为偶发性的，所以一般情况下，输入该模块的数据量为每 2ms 输入 12 位

采样值或处理后的值, 16 位计数值加上 2 位瞬断标志位。如果发生瞬断则传入数据会增加。考虑一定的设计裕量, 我们假设传入的数据量为每 500us 传入 30 个数据。由于本模块不包含 FIFO 和 RAM 的存储模块, 所以经过该模块处理后, 实时传出数据。则估算的数据输出速率为每 500us 传入 24 个数据。

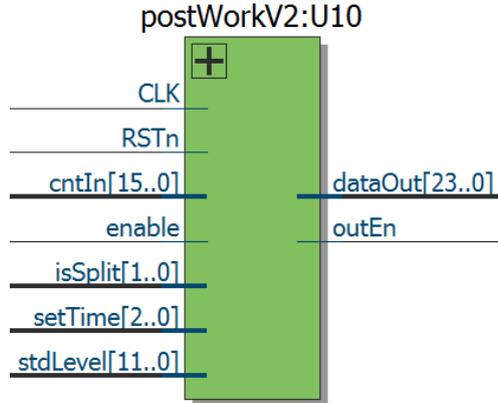


图 55 时间门限处理模块框图

## 5.6 异步输出模块

光纤瞬断检测仪最多可以由 8 路光纤瞬断检测模块组成, 所以需要加入控制作用的 MCU 进行实际的控制。为了能够将多路光线瞬断检测模块所获取的数据进行综合处理, FPGA 处理完成的数据需要上传到控制 MCU 进行处理。

FPGA 光线瞬断检测处理产生的数据量为每 500us 产生 24 位数据, 这些数据均需要上传。同时为了标志起始和结束, 发送顺序为, 首先发送 0XAA, 然后发送 DATA[23:16], DATA[15:8], DATA[7:0], 最后发送 0XBB 作为结束标志。本设计采用了异步串行 UART 的方式进行上传, 采用的上传速率为 115200bps, 每一帧传递 8 个数据位, 24 位数据分为 3 次发送, 每一次数据传送共需 5 次发送。为了处理突发的光线瞬断而造成的数据量过大的情况, 在 UART 中加入了输入 FIFO, 将突发数据暂存, 同时保证数据能够不丢失。对于未瞬断情况, UART 中的 FIFO 不发挥作用, 数据直接输出。

异步输出模块的框图如图 56 所示。异步输出模块能够将并行数据转换为串行数据, 同时也能够将突发数据进行暂存, 以恒定速率输出<sup>[30]</sup>。测试结果也证明了异步输出的正确性。

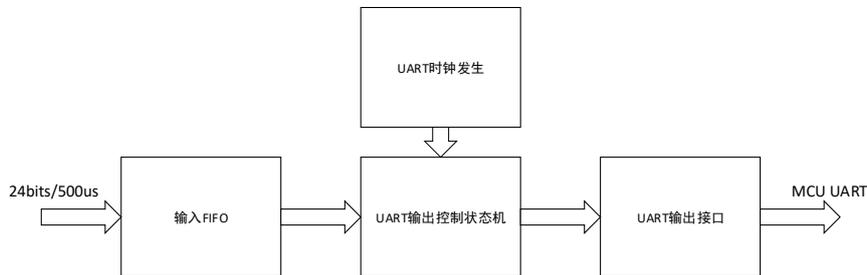


图 56 异步输出模块框图

## 5.7 实际测试结果

采用任意波发生器生成脉冲, 模拟光纤瞬断的情况, 进行测试和校正, 通过实际测试, 获得如图 57 所示的测试结果。上半部分窄脉冲, 即波形 1, 为输入的测试信号, 测试

的信号均为 Negative Pulse, 占空比为 99%, 每个低电平出现模仿了瞬断出现的情况。下半部分, 即波形 2, 为瞬断是否发生的相应, 0 表示未发生瞬断, 1 表示发生了瞬断。左图输入信号频率为 5Hz, 则低电平脉宽为 2ms, 这个瞬断时长为设定的最长的时间长度。右图输入信号频率为 500KHz, 瞬断时间长度为 20ns。从测试结果来看, 瞬断时间从 20ns~2ms, 核心瞬断判决模块都可以很好的检测出来。

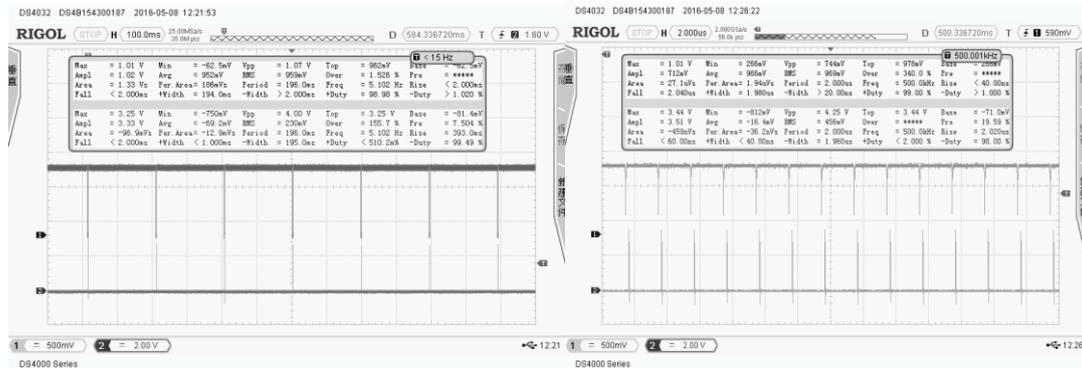


图 57 瞬断判决模块时间阈值测试 (左图: 2ms, 右图: 20ns)

设定检测的上下门限为基准值的  $\pm 10\%$ , 实际测试过程, 设定的基准值为 1V, 采用负脉冲的形式, 占空比为 99%, 每个低电平模仿瞬断发生的情况, 其下门限为 900mV。测试情况如图 58 所示。左图输入低电平值为 890mV, 也就是略微超过设定的下门限, 此时实际的测量得到每个低电平都会对应一个高电平的瞬断标志, 也就是说, 每个瞬断都能够很好的检测到。右图输入低电平值为 910mV, 此时略高于设定的下门限, 理论上此时无法检测到任何瞬断, 但是考虑到噪声等情况, 仍然有部分瞬断能够检测到, 另外一部分瞬断没有检测到, 此时可以认为处于临界状态。等到输入信号为 920mV, 则没有瞬断被检测到。通过上述试验, 可以证明门限设定的功能基本达到。类似测试分别应用于  $\pm 5\%$ ,  $\pm 15\%$  和  $\pm 20\%$ , 也证明了其有效性。

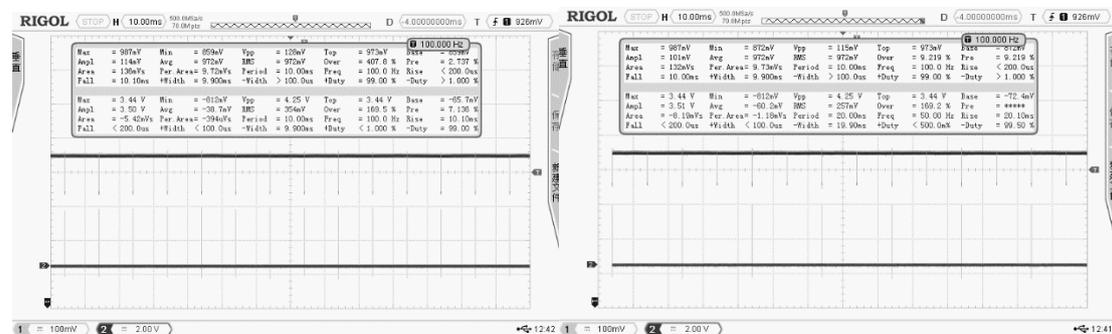


图 58 瞬断判决模块幅度阈值测试 (左: 890mV, 右: 910mV)

对于核心判决模块输出的数据, 需要进行时间阈值判断处理。设定时间判断阈值为 4 $\mu$ s, 也就是说, 大于瞬断时长大于 4 $\mu$ s 的瞬断认定为有效瞬断, 需要输出标志位; 对于瞬断时长低于 4 $\mu$ s 的瞬断, 模块忽略而不计入瞬断。通过任意波发生器进行瞬断模拟, 设定的时间阈值为 4 $\mu$ s, 输入信号为占空比为 99% 的脉冲, 存在 1% 的瞬断时间。测试结果如图 59 所示, 波形 1 为输入信号, 波形 2 为瞬断标志。由于波形 2 为 FIFO 时间门限判决模块的输出数据的瞬断标志位, 当能检测到瞬断时, 输出为高。所以左侧图的含义为能够检测到光纤瞬断, 当再一次发生光纤瞬断时, 输出一次基准值, 然后输出光纤瞬断的信息, 所以波形 2 存在短暂的置 0 情况。右侧图波形 2 始终为低, 表示其接收不到瞬断, 其原因是时间门限判决模块将此瞬断过滤。经过测试, 可以得到至 FPGA 内部的时间判决模块, 前面模块的功能正常, 并且存在的误差很小。

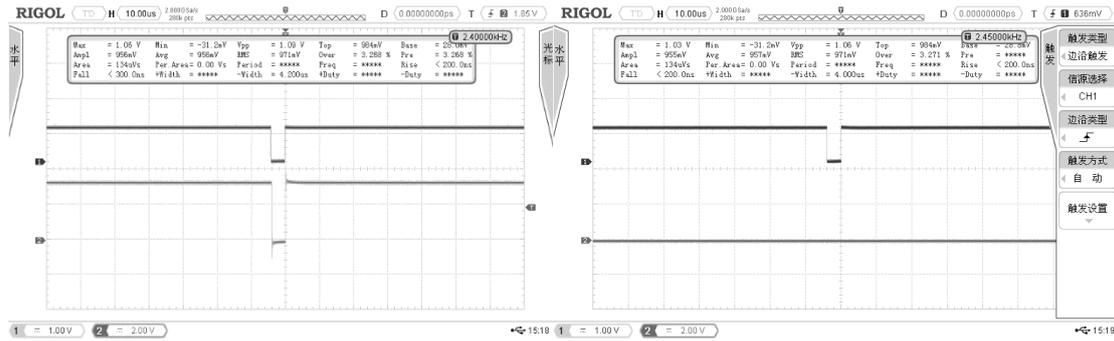


图 59 时间门限判决模块实际测试结果(左图：脉宽 4.2us，右图：脉宽 4us)

综上，FPGA 信号处理模块能够处理光纤瞬断情况，能够处理的瞬断时间验证为 20ns~2ms，能够处理的瞬断幅度变化值为  $\pm 5\%$ ， $\pm 10\%$ ， $\pm 15\%$  和  $\pm 20\%$ ，能够处理的时间阈值为大致为 20ns~1ms。同时 FPGA 信号处理模块能够将结果串行化，通过 UART 输出到 MCU 模块。

## 第六章 MCU 及电源分配网络分析与设计

### 6.1 MCU 模块分析与设计

光纤瞬断测试仪包含了多个需要 MCU 控制的部分，有 THS7001 的增益控制、ADS4129 的初始化配置、FPGA 的时间阈值和幅度阈值的设定，MCU 的事务还包括了 FPGA 串行数据的读取和处理，最后 MCU 还需要包含信息上传到主板的功能。

MCU 对于 THS7001 的增益控制是通过 GPIO 电平的高低直接控制的。THS7001 的控制电平和增益之间的关系如表 3 所示。MCU 读入标准电平值，如果过高则将 THS7001 的增益降低，如果过低则将 THS7001 的增益升高，保证读入的标准电平值处于一个合适的区间，保证瞬断判断的准确性。同时，由于数字控制的准确性，可以求出输入的光功率值，满足定标的要求。通过一个简单的闭环控制，就可以保证 40dB 的可变范围。

表 3 THS7001 增益控制表

G <sub>2</sub>	G <sub>1</sub>	G <sub>0</sub>	PGA GAIN (dB)	PGA GAIN (V/V)
0	0	0	-22	0.08
0	0	1	-16	0.16
0	1	0	-10	0.32
0	1	1	-4	0.63
1	0	0	2	1.26
1	0	1	8	2.52
1	1	0	14	5.01
1	1	1	20	10.0

MCU 对于 ADS4129 的初始化配置利用了预定义的三线制 SPI 接口送入数据到 ADS4129 内部寄存器，实现了对 ADS4129 的初始化和功能配置。MCU 将 ADS4129 配置为 LVDS 输出，输出格式为 OFFSET Binary 格式。

MCU 对于 FPGA 的时间阈值和幅度阈值的控制利用了 UART 的串行数据数据传输，控制帧为 8bits。高四位进行时间阈值选择，FPGA 程序中预设了 8 种选择，分别是 200ns/400ns/2us/4us/20us/40us/200us/400us，远超国家标准中要求的测定值；低四位进行幅度阈值选择，FPGA 程序中预设了 4 种选择，分别是 ±5%，±10%，±15% 和 ±20%，也包含了国家标准的要求。初始化时，时间阈值选定为 4us，幅度阈值选定为 ±10%。

MCU 可以通过片内的 UART 外设进行数据接收，并且进行简单处理和综合，将未瞬断的光功率信息、超过幅度和时间阈值的光纤瞬断次数上传主板，由主板进行组合，用于进一步的处理。MCU 上传到主板采用 485 总线进行传递，传递的信息包括标准幅度和瞬断次数。

### 6.2 电源分配网络分析与设计

光纤瞬断检测仪包含了多种电源，包括模拟前端需要的 ±5V 模拟电源，ADS4129 模拟部分的 +1.8V 模拟电源，ADS4129 数字部分的 +1.8V 数字电源，FPGA 的核心部分 +1.2V 电源、数字锁相环 +1.2V 电源、配置部分的 +2.5V 电源和 IO 部分的 +3.3V 电源，其他数字芯片的 +3.3V 电源。为了隔离数字电路对于模拟前端的影响，需要将数字地和模拟地隔离，通过

磁珠进行单点连接。

对于模拟部分电路，采用的输入电源为线性±6V 输入，保证电源的低噪声。对于线性±6V 电源，同样采用 LDO 进行降压操作，保证模拟前端的低噪声。OPA847 的静态电流为 18.7mA，AD8099 的静态电流为 15mA，THS7001 的最大工作电流小于 10mA，AD8131 的静态电流为 11.5mA，则模拟前端的总静态电流大致为 55mA。模拟前端放大信号时，晶体管开关会引起耗电流增加，因此模拟前端供电电源的输出电流最大值需要超过 200mA。因此，对于前端模拟电路，LDO 需要满足±5V 输出，供电电流大于 200mA 的要求。此类 LDO 的可选择很多，本设计采用常用的 LDO，+6V 降压+5V 使用 REG102-5，电流输出能力达到 250mA，-6V 降压-5V 使用 TPS27301，电流输出能力达到 200mA，均满足设计要求。对于+1.8V 的 ADS4129 模拟供电部分，ADS4129 模拟部分电流为 100mA，由于较高的压差，设计了两级降压 LDO，第一级从+6V 降至+3.3V，使用常见的 AMS1117-3.3，电流输出能力为 800mA；第二级从+3.3V 降至+1.8V，使用射频低噪声 LDO，电流输出能力为 1A。级联 LDO 的设计满足了 LDO 的低压差供电要求，同时也进一步降低了供电电源的噪声，这对于提高 ADC 的 SNR 是大有裨益的<sup>[31]</sup>。

对于数字电路供电电源，其对于噪声敏感性较低，并且所需要的电流也较小，基本只需要考虑电压需求。设计中使用常见的 LDO 进行降压操作，AMS1117-3.3 输出+3.3V 电压，AMS1117-2.5V 输出+2.5V 电压，二者输出能力都可以达到 800mA 以上，大大超过数字电路的电流需求。同时，对于 FPGA 核心和锁相环的+1.2V 电压需求，采用芯片 SPX3819 进行降压，并且二者之间利用磁珠进行隔离，防止 FPGA 核心运转时产生的电压变化造成 FPGA 的数字锁相环失锁。对于 ADS4129 数字部分的供电，仍然采用 TPS79618 进行供电，保证 ADS4129 的低噪声特性。

光纤瞬断检测仪的电源分配网络如图 60 所示。经过设计模块的实际使用验证，未在调试和测试过程中发现任何有关于电源分配网络的问题，可以认为电源分配网络设计合理，满足光纤瞬断检测仪的使用要求。

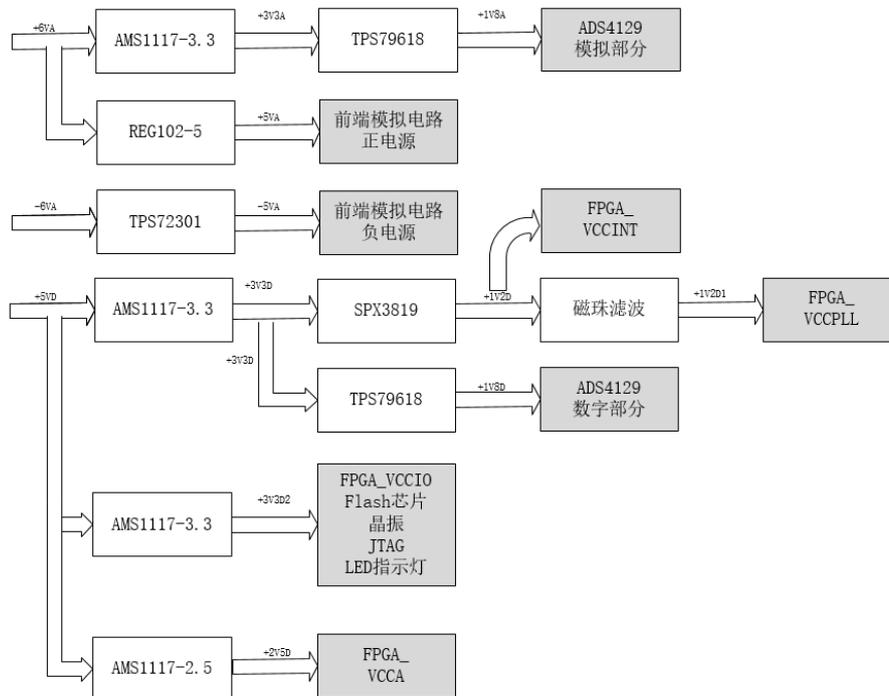


图 60 光纤瞬断检测仪电源分配网络

## 第七章 光纤瞬断检测仪测试与分析

光纤瞬断测试仪的成品如图 61 所示，包含的部分有模拟前端、高速 ADC 采样部分、FPGA 信号处理部分和 MCU 控制部分以及分散的电源分配网络，部分模块标注于图上。

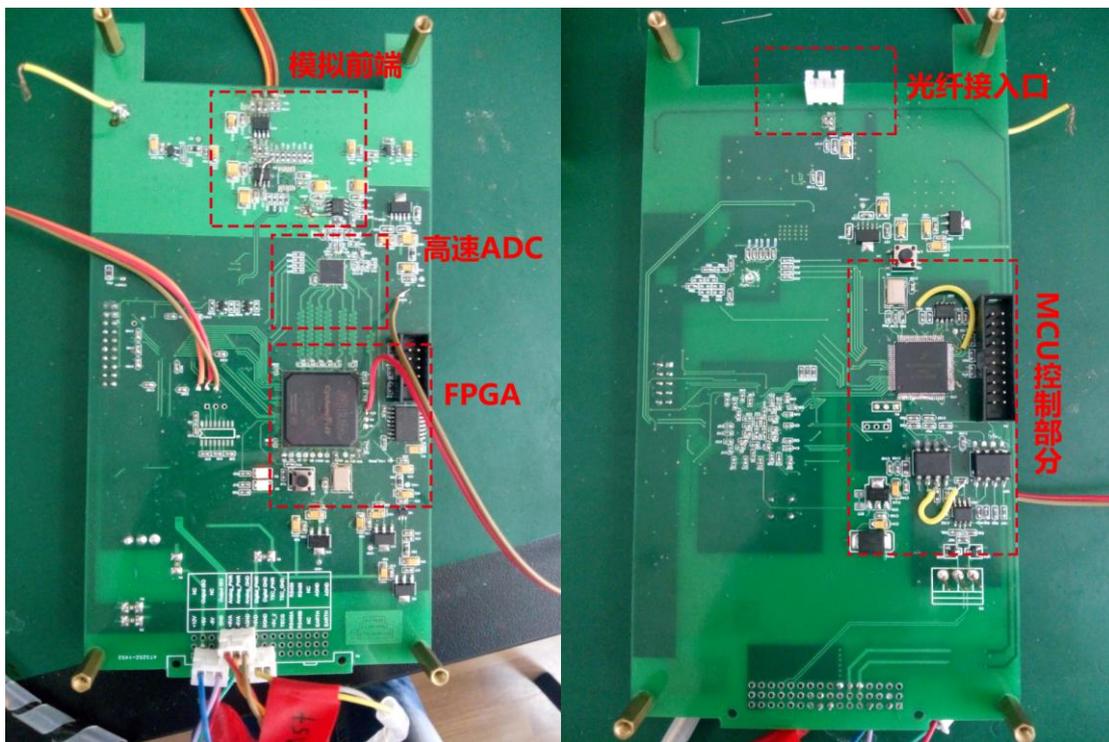


图 61 光纤瞬断检测仪成品（左侧图为正面，右侧图为背面）

光纤瞬断检测仪的测试仍然采用模拟瞬断的方式，测试源推荐使用脉冲光源，测试连接图如图 62 所示。三个衰减器的组合可以调节出合适的幅度值用于瞬断检测，输入瞬断检测仪的光同模拟测试使用的一致，均为负脉冲光，占空比由脉冲光源进行调节。该套设备还能用于光纤瞬断检测仪的基准值定标、幅度阈值和时间阈值的修正，保证测量结果更加准确。

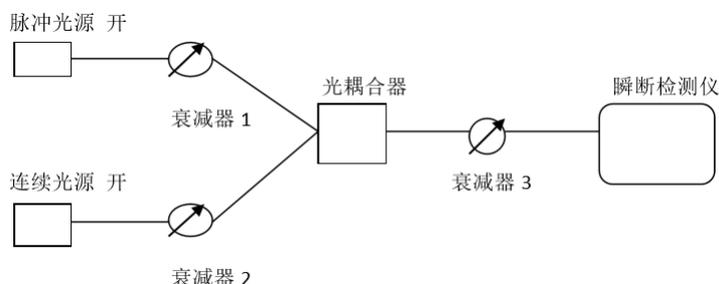


图 62 光纤瞬断检测仪测试连接图

本设计过程中，由于缺乏脉冲光源和多个光衰减器，我们只能采用频率光源进行基本性能的测试和分析。采用的连接方式为：频率光源连接光衰减器，然后由光衰减器连接瞬断检测仪，如图 63 所示，实际连接图如图 64 所示。频率光源的频率为 270Hz、1kHz 和 2kHz，

测试的结果如表 4 所示，测试使用的频率光为方波的形式，所以实际的脉宽为

$$t = \frac{1}{2} \times \frac{10^6}{f} \text{ (us)} \quad \text{(公式 19)}$$

则 270Hz 脉宽为 1852us，1000Hz 脉宽为 500us，2000Hz 脉宽为 250us。对于 1s 之内的瞬断次数，由于瞬断发生次数过多，所以测量得到的数据并不准确，这里舍弃不用。

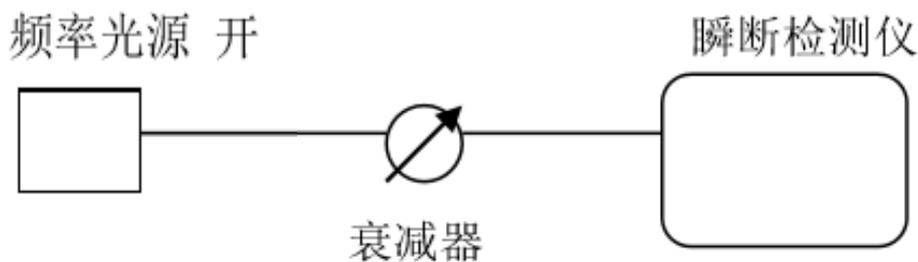


图 63 本设计使用的测试连接图

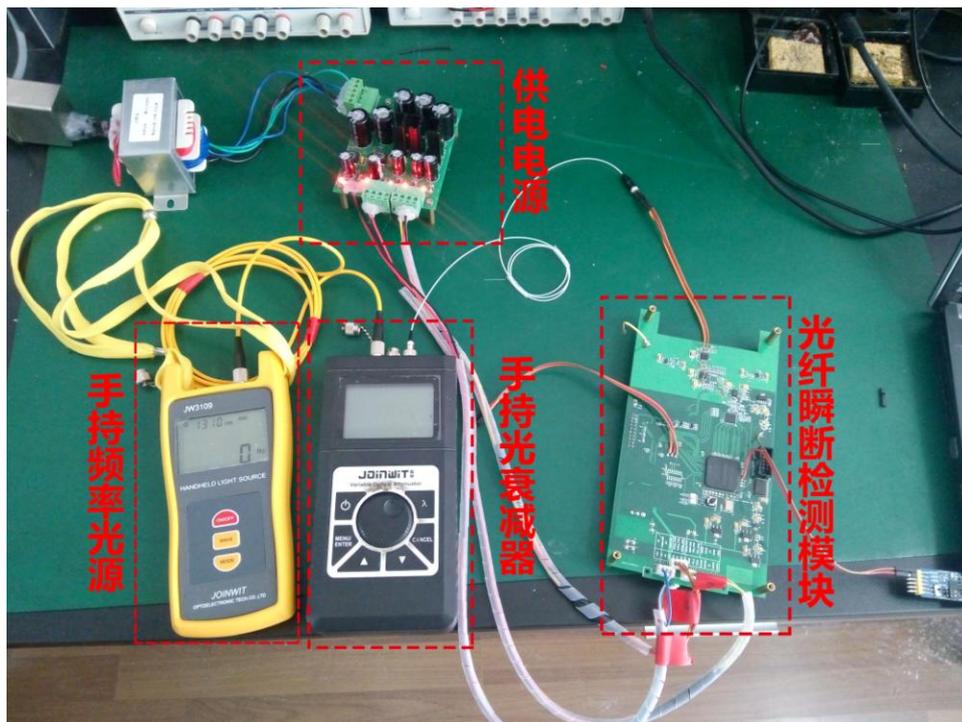


图 64 实际测试连接图

表 4 频率光源瞬断测试数据

频率光源测试结果		
频率 (Hz)	实际脉宽(us)	测量脉宽 (us)
270	1852	1848
1000	500	498
2000	250	249

由于脉冲光源是利用负脉冲模仿光纤瞬断的过程，所以，同样的，我们可以在跨阻放大器后加入负脉冲的电信号模拟光纤瞬断，如图 65 所示，实际测试连接图如图 66 所示。这样能够得到更多的有效测试数据。测试中，采用负脉冲，正脉冲的占空比为 99%，测试的脉冲的高值为 100mV，低值为 50mV。测试的瞬断频率为 6~50Hz，更高的频率也可以测量，不过实际情况中 50Hz 的瞬断情况已经极为罕见。测试的结果如表 5 所示。从这里可以看出，瞬断的测试结果较为准确，误差较小。

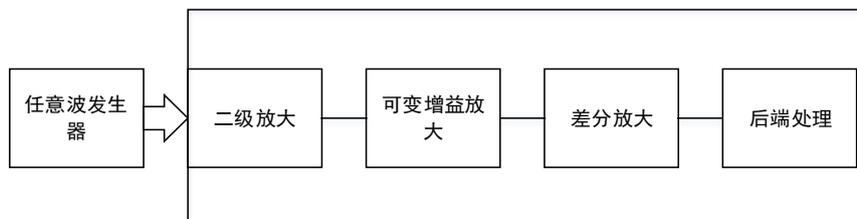


图 65 任意波发生器模拟瞬断测试图

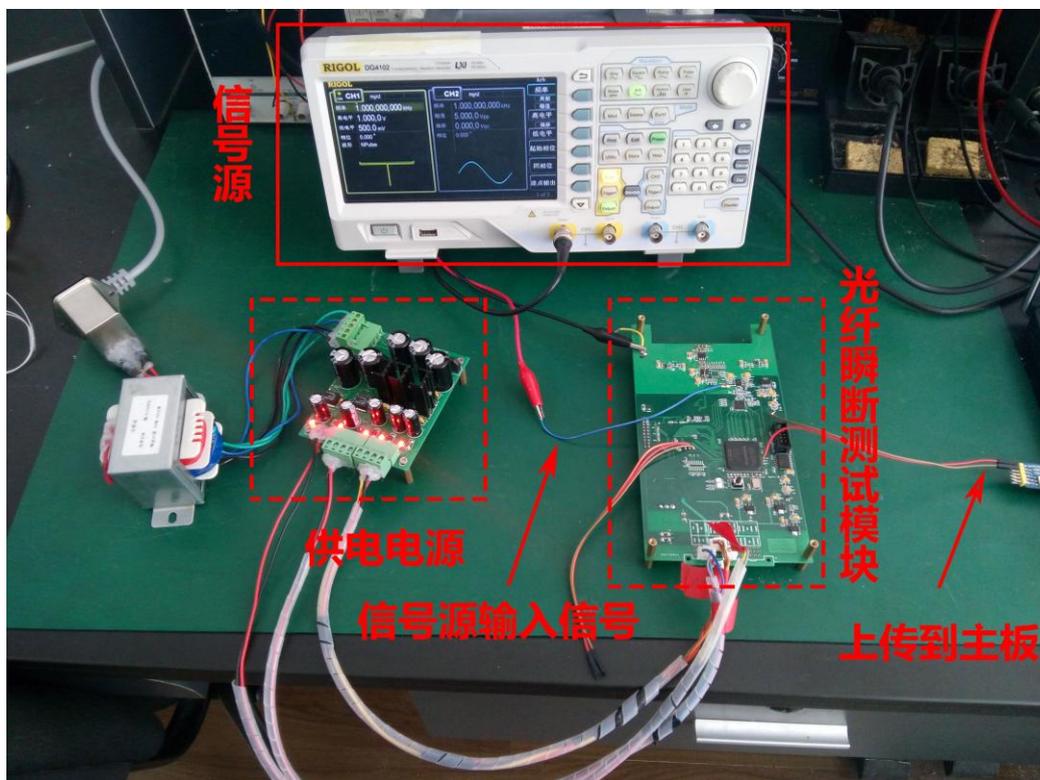


图 66 任意波发生器模拟瞬断测试实际连接图

表 5 模拟光源测试结果

电脉冲信号模拟测试结果			
频率 (Hz)	实际脉宽(us)	瞬断次数	测量脉宽 (us)
6	1628	6	1627.56
10	976	10	976.52
20	488	19	488.24
50	195.2	49	195.28

从测试结果来看，通过频率光源进行测试得到的瞬断信息仅包括了瞬断的时间长度，其较为准确，误差可以接受；通过信号源模拟测试得到的瞬断信息包含了所需要的上传数据，结果也非常准确，能够满足测量的需求。通过频率光源测试，可以保证光纤瞬断检测仪能够

测量得到光功率跌落的时间、幅度等信息，而信号源模拟测试可以保证光纤瞬断检测仪能够准确测量一些边界条件。二者结合可以保证光纤瞬断检测仪能够检测出光纤瞬断的情况和相关信息，以弥补器材不足带来的缺陷。

## 第八章 总结与展望

从实际的频率光源和信号脉冲源的测试结果来看, 光纤瞬断测试仪的基本功能已经达到, 测量的精度符合设计要求, 同时本设计能很好的处理一些关键指标的临界情况, 保证了测量的精准度。利用手持光源测量得到, 当固定 THS7001 增益为 0dB 时, 功率监测范围较为线性的范围为-30dBm~-11dBm, 考虑到 THS7001 的放大范围, 功率监测范围为-52~9dBm。结合分析和实际测量, 可以大概得到光纤瞬断测试仪的关键指标如下:

- 功率监测范围: 60dBm(-50dBm~+10dBm)
- 监测瞬断损耗:  $\pm 0.5$ dB 起, 测量范围较宽
- 监测瞬断时长: 40ns~2ms

从最终的结果可以看到, 本设计完成了设计要求, 并且将设计指标大大提升, 提高了系统测量的准确性。对比于现有的设计 OP1100 和 JW3324, 本设计的原型设计将光纤瞬断检测仪的指标带入宽动态范围、纳秒量级的时代。

当然, 本设计的缺陷也存在。主要是由于校准器件的缺乏, 对于关键指标只能采用估算的方式, 无法进行准确的定标。对于实际系统测试, 采用的是模拟的方式进行, 还需要经过实践的验证, 才能保证本设计的成熟和完善。

进一步说, 光纤瞬断的发生由于其不确定的发生时间, 导致对于光纤瞬断电信号特征的提取较为困难, 目前只能使用幅度标准进行判断。本设计对于一些隐藏在统计信息中的特征没有进行更多的提取和利用, 这样导致了模拟前端的低噪声特性和 ADC 高速采样特性出现性能浪费。未来的进一步工作应当是进一步关注光纤瞬断的统计特征, 希望能够通过特征提取的方式来辅助光纤瞬断的判断, 提高系统的噪声容限, 进一步提高光纤瞬断检测仪的指标和精度。

## 参考文献

- [1] Palais J C. 光纤通信[M]. 北京:电子工业出版社, 2011. 6-9
- [2] Agrawal G P. Fiber-Optic Communication Systems[M]. John Wiley & Sons, Inc. 2002. 184-185
- [3] GJB915A-97, 纤维光学试验方法[S].
- [4] 童维军,罗杰.光纤断裂源形貌的研究[J].光通信技术,2004,28(9):54-56.
- [5] Kihara, Mitsuru. Optical performance analysis of single-mode fiber connections[M]. INTECH Open Access Publisher, 2012. 239-256
- [6] OptpTest, Inc. Discontinuity Analyzer OP1100[EB/OL].  
<http://www.optotest.com/fiber-optic-test-products/fiber-optic-discontinuity-testing/op1100-fiber-optic-test-equipment/>.
- [7] Joinwit, Inc. 瞬断检测仪 JW3324[EB/OL]. <http://www.joinwit.com/JW3324.html>.
- [8] Agrawal G P. Fiber-Optic Communication Systems[M]. John Wiley & Sons, Inc. 2002. 139-142
- [9] Graeme J G. Photodiode amplifiers: op amp solutions[M]. McGraw Hill, 1996.
- [10] O-send, Inc. InGaAs PIN 光电探测器[EB/OL]. <http://o-send.com/content.php?cid=16>.
- [11] Xavier, Ramus. Transimpedance Considerations for High-Speed Amplifiers[R]. Texas Instruments, Inc., 2009.
- [12] Tim, Green. Operational Amplifier Stability[R]. Texas Instruments, Inc, 2006.
- [13] Texas, Instruments. OPA847 Datasheet[R]. Texas Instruments, 2015.
- [14] 毛军华. 跨阻型放大器应用指南[R]. Texas Instruments, 2012.
- [15] B Carter, R Mancini. 运算放大器权威指南[M]. 北京:人民邮电出版社, 2010. 97-104
- [16] Analog Devices, Inc. AD8099 Datasheet[R]. Analog Devices, Inc, 2015.
- [17] Texas , Inc. VCA821 Datasheet[R]. Texas Instruments, Inc, 2015.
- [18] Texas Instruments, Inc. LMH6518 Datasheet[R]. Texas Instruments, Inc, 2013
- [19] Analog Devices, Inc. AD8367 Datasheet[R]. Analog Devices, Inc, 2015.
- [20] Texas Instruments, Inc. THS7001 Datasheet[R]. Texas Instruments, Inc, 2007.
- [21] Jung, Walter G. Op Amp applications handbook[M]. Newnes, 2005.
- [22] Analog Devices. AD8131 Datasheet[R]. Analog Devices, 2015.
- [23] National Semiconductor, Inc. LVDS 用户手册[R]. National Semiconductor, Inc, 2008.
- [24] Granberg, Tom. Handbook of Digital Techniques for High-Speed Design: Design Examples, Signaling and Memory Technologies, Fiber Optics, Modeling, and Simulation to Ensure Signal Integrity[M]. NJ: Prentice Hall PTR, 2004. 71-104
- [25] Texas Instruments, Inc. ADS4129 Datasheet[R]. Texas Instruments, Inc, 2011.
- [26] Altera, Inc. LVDS SERDES Transmitter/Receiver IP Core User Guide[R]. Altera, Inc, 2008.
- [27] Michael, Mirmak. IBIS Modeling Cookbook for IBIS Version 4.0[M]. THE IBIS Open Forum, 2005. 6-13
- [28] Texas Instruments, Inc. Design Consideration for Avoiding Timing Errors during High-Speed ADC, LVDS Data Interface with FPGA[R]. Texas Instruments, Inc, 2015.
- [29] Texas Instruments, Inc. High-Speed, Analog-to-Digital Converter Basics[R]. Texas Instruments, Inc, 2011. 21-23

[30] Altera, Inc. SCFIFO and DCFIFO IP Core User Guide[R]. Altera, Inc, 2016.

[31] Glenn Morita. LDO 裕量及其对输出噪声和 PSRR 的影响[J]. Analog Dialouge, 2014, 48(09): 7-9

## 附录

### 1. FPGA 基准值判定模块 setStdLevel.v 关键代码

```
1 //25MHz, 每个节拍为 40ns, 2ms 需要 50000 个节拍数
2 parameter Tstd = 24'd50000; //2ms
3 reg [23:0] cnt;
4 reg [11:0] data_std_level;
5 reg set_std_level;
6 always @(posedge CLK or negedge RSTn)
7 begin
8     if (!RSTn)
9         begin
10             cnt <= 24'd0;
11             data_std_level <= 12'd0;
12             set_std_level <= 1'd0;
13         end
14     else if (lowScale == 16'd0)
15         begin
16             cnt <= 24'd0;
17             data_std_level <= 12'd0;
18             set_std_level <= 1'd0;
19         end
20     else
21         begin
22             if (cnt < Tstd)
23                 begin
24                     //系统稳定后,等待一段时间
25                     if (tmp2 < upScale && tmp2 > lowScale)
26                         cnt <= cnt + 1'd1;
27                     //系统开始的不稳定状态
28                     else
29                         cnt <= 24'd0;
30                 end
31             else
32                 begin
33                     //系统稳定后开始设置比较的采样标准和标志位
34                     if (tmp2 < upScale && tmp2 > lowScale)
35                         begin
36                             cnt <= Tstd;
```

```

37         data_std_level <= tmp4;
38         set_std_level <= 1'd1;
39     end
40     //系统发生瞬断现象,标准值不变.重新计数,处理真实断裂
41     else
42         cnt <= Tstd - Tint;
43     end
44 end
45 end

```

## 2. FPGA 处理瞬断核心模块 coreArith.v 关键代码

```

1  always @(posedge CLK or negedge RSTn)
2  begin
3      if (!RSTn)
4          begin
5              cnt <= 12'd0;
6              dataOut <= 12'd0;
7              state <= 3'd3;
8              outEnable <= 1'd0;
9              isSplit <= 2'd0;
10             min <= 12'd4095;
11             max <= 12'd0;
12         end
13     else
14         begin
15             case(state)
16                 3'd3: //初始状态 dataStd=0 此时状态标记为 3
17                     if (dataStd == 12'd0)
18                         state <= 3'd3;
19                     else
20                         state <= 3'd0;
21                 3'd0:
22                     begin
23                         if ((dataIn > stdLow) && (dataIn < stdUp))
24                             begin
25                                 if (cnt == Tint)
26                                     begin
27                                         //state=0 正常状态:计数值 cnt 达到发送状态
28                                         state <= 3'd0;
29                                         cntOut <= Tint;
30                                         outEnable <= 1'd1;
31                                         dataOut <= dataStd;
32                                         cnt <= 0;
33                                         isSplit <= 2'd1;

```

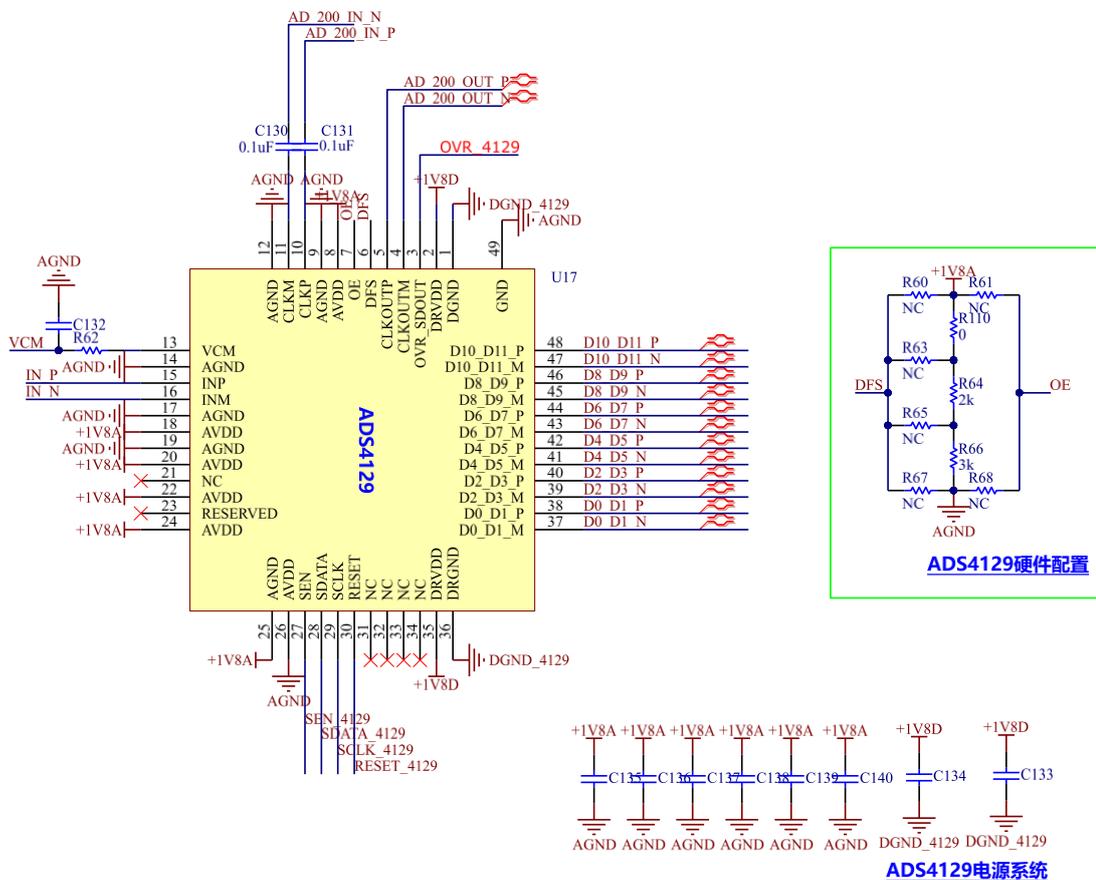
```

34         end
35     else
36     begin
37         state <= 3'd0;      //state=0 未达到发送状态
38         cnt <= cnt + 12'd1;
39         outEnable <= 1'd0;    //关闭发送使能
40         isSplit <= 2'd0;
41     end
42 end
43 else if (dataIn < stdLow)
44 begin
45     state <= 3'd1;    //state 将转到 1 瞬断发生
46     cntOut <= cnt;    //发送数据
47     outEnable <= 1'd1; //使能发送
48     dataOut <= dataStd; //发送数据
49     cnt <= 0;
50     isSplit <= 2'd1;    //标记瞬断未完成
51 end
52 else
53 begin
54     state <= 3'd2;    //state 将转到 2 瞬断发生
55     cntOut <= cnt;    //发送数据
56     outEnable <= 1'd1; //使能发送
57     dataOut <= dataStd; //发送数据
58     cnt <= 0;
59     isSplit <= 2'd1;    //标记瞬断未完成
60 end
61 end
62 3'd1:
63 begin
64     if ((dataIn > stdLow) && (dataIn < stdUp))
65     begin
66         state <= 3'd0;    //将转回到正常值 state=0
67         cntOut <= cnt;    //发送数据
68         outEnable <= 1'd1; //使能发送
69         dataOut <= min;    //发送数据
70         min <= 12'd4095;
71         cnt <= 0;    //瞬断发生完成
72         isSplit <= 2'd2; //标记向下瞬断
73     end
74     else
75     begin
76         cnt <= cnt + 12'd1;
77         state <= 3'd1;

```

```
88         outEnable <= 1'd0;
89         isSplit <= 2'd0;
90         min <= (min<dataIn) ? min : dataIn;
91     end
92 end
93 3'd2:
94     begin
95         if ((dataIn > stdLow) && (dataIn < stdUp))
96         begin
97             state <= 3'd0;           //将转回到正常值 state=0
98             cntOut <= cnt;           //发送数据
99             outEnable <= 1'd1;       //使能发送
100            dataOut <= max;           //发送数据
101            max <= 12'd0;
102            cnt <= 0;                 //瞬断发生完成
103            isSplit <= 2'd3;         //标记向上瞬断
104        end
105        else
106        begin
107            cnt <= cnt + 12'd1;
108            state <= 3'd2;
109            outEnable <= 1'd0;
110            isSplit <= 2'd0;
111            max <= (max>dataIn) ? max : dataIn;
112        end
113    end
114 endcase
115 end
116 end
```

### 3. ADS4129 硬件电路原理图



## 谢辞

进入电路设计领域已经有接近三年的时间，从最初的一无所知到现在能够设计出完整的光纤瞬断检测仪系统，我的进步既有自己的坚持不懈，也包含了师长的心血，还证明了学校学院的培养是有成效的。

最要感谢的是已经退休的谷晓晨老师，他将我引入电路设计的大门，并且能够手把手地教我电路设计的基础知识和工程实践经验。正是他丰富的经验和孜孜不倦的传道授业，我的设计经验也逐渐丰富起来，能够胜任毕业设计所要求的任务，同时有了这些实践经验为保障，我的毕业设计进展也尤为顺利。感谢谷晓晨老师的辛劳付出和耐心栽培！

还要感谢的是指导老师唐旻和杨方旭学长，他们指导我信号完整性方面的知识，并且指导我学习 EDA 仿真工具的使用。有了信号完整性的知识，在模拟前端和 LVDS 接口方面的工作也进展的较为顺利，整个模块一次性成功，没有出现信号完整性方面的问题。EDA 仿真工具加速了设计过程，避免了冗杂的计算，使得设计前期有着很强的理论指导和支撑，也增强了设计的信心。

其次还要感谢我的搭档徐经纬同学，光纤瞬断检测仪是我与他合作的心血，虽然分工不同，但是互为补充。整个设计工程中，我看到了他的认真和细致，以及不时闪现的智慧。他能够为设计提供好的思路，并且能够验证想法的正确性，给整个设计带来了前进的动力。其他的实验室合作者，姜鑫同学、黄凯琪同学……这里也要向他们表示感谢。

还要感谢“卓越工程师计划”的制定者和践行者，邹卫文老师、义理林老师，尤其是袁焱老师。他认真负责的指导为我指明了前进的方向，并且能够在我遭遇设计困难的时期给予我帮助，使得我能够顺利完成光纤瞬断检测仪的设计和测试。

本设计涉及到的知识点有很多，这里衷心感谢本科阶段的老师们，宫新保老师、徐雄老师、俞辉老师、应忍冬老师、李生红老师、熊红凯老师、杨宇红老师、方向忠老师、李安琪老师……由于你们的谆谆教诲，让我理解了电路设计的精要，拥有完善的实验条件，并且能够得心应手地取处理模拟信号链路和数字信号设计的问题。

最后，感谢上海嘉慧光电子公司的指导和奉献。正是他们的积极参与，才使得我有机会在本科阶段就进入企业进行产品研发，并能做出光纤瞬断检测仪的原型产品。得益于嘉慧工程师的指导，尤其是陈新华工程师和窦廷玉工程师的指导，我的毕业设计的进展较为顺利，完成了预定的目标和任务。

毕业设计虽道阻且长，但幸有良师，兼有益友。他们的指导、鼓励、启发，给了我前进的动力，最终圆满地完成了毕业设计的任务。前路漫漫，而吾将上下求索，师长同学们教会我的着眼理论、细致设计、大胆尝试、标新立异的态度和精神伴随我继续前行。这里再次感谢他们的付出！

## 毕设期间科研成果、获奖及专利情况

1. 新型纳秒级光纤瞬断检测仪设计指导书（内部资料）
2. 一种基于自适应基准值的光纤瞬断特征提取算法（专利撰写中）
3. 一种用于光纤瞬断检测仪的宽带低噪声模拟前端设计（专利撰写中）

# DESIGN OF THE OPTICAL FIBER TRANSIENT FRACTURE DETECTOR BASED ON FPGA AND HIGH-SPEED ADC

Optical fiber transient fracture detectors, also known as optical fiber discontinuity analyzers, are widely used for analysis of optical fiber transient fracture on some high precision and high speed occasion. There are detailed metrics and testing measurements specified in the national military standards about optical fiber transient fracture, including fracture time and fracture amplitude. And modern optical fiber transient fracture detectors can support user-defined measurements.

The optical fiber transient fracture detector implemented by this design meets all requirements of national standard and has greatly improved in the actual performance, such as minimum measurement time and optical signal power level. This design has brought optical fiber transient fracture detectors into wide dynamic range and nanoseconds Times.

The design is based on the JW3324, the product of JoinWit, Inc. And it is necessary to use better components for better performance. This design has achieved low-noise analog front end with a suitable bandwidth, converting optical power signals into electric signals. It is high bandwidth transimpedance amplifier that can ensure fast dynamic response speed and sharp rising edge. As you known, the key of analog front end is to ensure a fast dynamic response and low noise. But for high-speed ADC, its sample rate is 200MSPS and we have limited analog front end bandwidth to 70MHz, that is corresponding to Nyquist sampling theorem and guarantees a relatively fast response speed. The design pursues high precision so it is a must to guarantee low noise in the whole design. We use low-noise amplifier, such as OPA847 and AD8099, to achieve low noise requirement. Using EDA software to simulate analog front end, we can obtain that the large signal bandwidth is about 20MHz and the peak-peak voltage of noise is about 45mV. The measurement result is about 50mV, which proves that the simulation is accurate and the analog front end runs well.

This design takes advantage of high-speed ADC, 200MSPS sampling rate to ensure that the system can detect the nanosecond level transient fracture. 200MSPS sampling rate means 5ns fracture detection time interval, so ADS4129 is completely competent for 40ns fracture detection. High-speed ADC needs low-noise power distribution network, low-jitter clock system and low parasitic analog input to guarantee high performance. The design uses FPGA to generate ADC drive-clock. And the impedance matching network of ADC input pins can send most signal power to ADC so the design has more noise margin. The design has completed ADC hardware and software, and has achieved 200MSPS sampling rate.

Digital output data frame of ADS4129 is in the form of low voltage differential signal, LVDS. There does exist LVDS receiver IP core in FPGA. However, we need careful attentions to the sequence of received data because the function of IP core varies greatly with different FPGA

platforms. By functional simulation on Modelsim EDA software, we verify the specific form of LVDS IP core operating the received data. The result is that we can simply connect the digital output pins of ADS4129 with the differential pins of FPGA, because the sequences of the transmitter and the receiver are all the same.

The design averages sampling data and by averaging the sample values, FPGA can reduce the effect of random noise introduced by PIN photodiode, passive components and amplifiers. The design improves SNR about 9dB with mean filter. Using averaged sample values as the characteristic values for judging whether transient fracture happened, FPGA internal core module can get some information about transient fracture. The core module can obtain fracture amplitude, fracture time and standard power level. The design uses a redundant design, obtaining much more information than actual requirement. So it is easy to update the products in the future. Meanwhile, we need to filter certain information to obtain the information required in the current design, including optical fiber transient fracture times within a specified time window and optical power value under normal circumstances. So we design PostWork module to filter the fracture that does not meet minimum time requirement defined by users. Predefined time requirements are 200 ns, 400 ns, 2 us, 4 us, 20 us, 40 us, 200 us and 400 us. Users can select time requirement by MCU UART with sending specific data frame.

Optical fiber transient fracture occurs in burst mode, so we need to design FIFO to synchronize data in different clock region, one is burst-mode clock, and the other is 115200 bps data rate with UART (Universal Asynchronous Receiver/Transmitter). Cyclone series FPGA has built-in dual clock FIFO that we can configure it about its data depth and length. The output module configures FIFO with 8-bit length and 1024-word depth and that is proven suitable. The data rate is about 24 bits per microsecond and these data need to store in FIFO. After that, the data in FIFO pop out with 115200 bps rate. MCU module receives data at a constant rate and it simplifies the following design.

MCU module receives fracture information by UART. The information is combined with fracture indicator, sampling data corresponding with optical power in normal condition and fracture times within specific time. MCU module should separate received data frame and organize it into useable information, as described before. After obtaining these data, MCU should find optical power value corresponding to the sampling value in the lookup table which is built using calibration method. And MCU module uploads these messages to motherboard. Motherboard should integrate received information to acquire more useful fracture feature.

Optical fiber transient fracture detector is composed of many modules, and it has many kinds of voltage. Analog front end circuit needs 5V and -5V rails. These rails all need low noise and low impedance. The design generates pure analog voltage rails with LDO and linear voltage source. The chip REG102 generates 5V and TPS72301 generates -5V. Another low-noise voltage requirement is the analog voltage rail of ADS4129. It is 1.8V and the power distribution network uses TPS79618 to generate 1.8V. TPS79618 is RF kind LDO, so ADS4129 can get very low voltage ripple, although ADS4129 runs at very high speed. And that is necessary to improve high-speed ADC effective bits. Digital power supply can be generated with AMS1117 series LDOs. The power distribution network is suitable and efficient in this design.

After testing enough times, this design completes all predefined goals, enhances reliability and accuracy of the optical fiber transient fracture detector. What is more, the optical fiber fracture detector can detect 10-nanosecond level fracture and can obtain almost 100 times in one second,

that is more advanced than existing equipment. The final specifications are as follows.

- Dynamic optical power detection range: 50dBm (-42dBm to 9dBm).
- Monitoring transient fracture power range:  $\geq 0.5\text{dB}$ .
- Monitoring transient fracture time range: 40ns to 2ms.

More than that, the design has achieved adaptive algorithm. The core module can adjust its standard level, so it can handle with various optical power in one measurement. That improves adaptability and convenience of the optical fiber fracture detector, because old equipment needs an invariable standard level.

The design can get much more information than needed, so the next step work is to find the characteristic value of optical fiber transient fracture. Once we understand the characteristic value thoroughly, we will apply it to the design. We will predict occurrences of optical fiber transient fracture and obtain much more information about the fracture than now. Another valuable issue is about how to reduce transient fracture times. Because we can get fracture information from optical fiber transient fracture detector, we can analyze the source that causes fracture. The final goal is not only to detect transient fracture, but also to reduce, even avoid transient fracture.